

538, f20

特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年7月1日 (01.07.2004)

PCT

(10) 国際公開番号
WO 2004/055772 A1(51) 国際特許分類:
3/20, G09F 9/00, H05B 33/12, 33/14

G09G 3/30,

(71) 出願人 (ボツワナ, 米国を除く全ての指定国について): アジレント・テクノロジーズ・インク (AGILENT TECHNOLOGIES, INC.) [US/US]; 94306-0670 カリフォルニア州 パロアルト ページ・ミル・ロード 395 CA (US).

(21) 国際出願番号: PCT/JP2003/014435

(22) 国際出願日: 2003年11月13日 (13.11.2003)

(25) 国際出願の言語: 日本語

(72) 発明者; および

(75) 発明者/出願人 (米国についてののみ): 乗松 秀行 (NORIMATSU, Hideyuki) [JP/JP]; 〒192-0913 東京都八王子市北野台4-28-1 Tokyo (JP).

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2002-364492

(74) 代理人: 奥山 尚一 (OKUYAMA, Shoichi); 〒107-0052 東京都港区赤坂3丁目2番12号 赤坂ノアビル8階 Tokyo (JP).

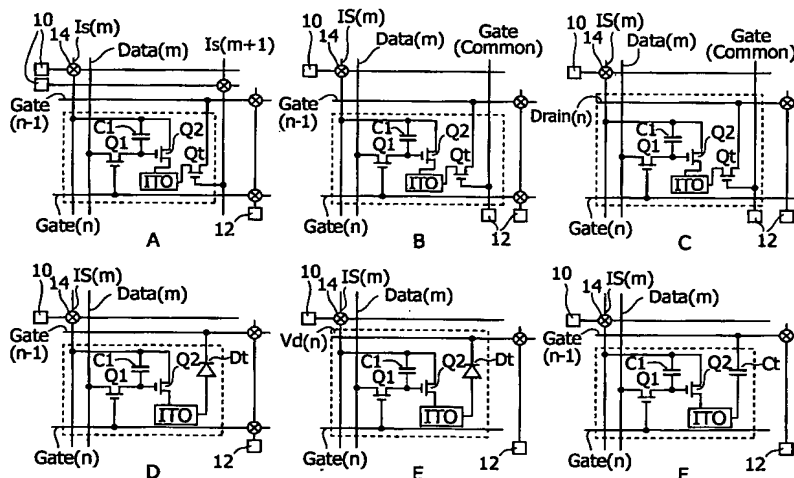
2002年12月16日 (16.12.2002) JP
特願2003-36275 2003年2月14日 (14.02.2003) JP
特願2003-52628 2003年2月28日 (28.02.2003) JP

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

(54) Title: ACTIVE MATRIX DISPLAY AND ITS TESTING METHOD

(54) 発明の名称: アクティブマトリクス型の表示装置およびその検査方法



(57) Abstract: Before an EL device is installed, its drive circuit can be tested. An active matrix display has at least a substrate, an electrode for a first display element constituting each pixel provided on the substrate, a first transistor (Q2) connected to the electrode and a current source line (Is(m)), a second transistor (Q1) connected to the gate of the first transistor (Q2) and a data holding signal line (Data(m)), a holding capacitor (C1) connected to the current source line (Is(m)) and the gate of the first transistor (Q2), and a third transistor (Q3) connected to the electrode and a gate signal line (Gate(n-1)) for a second display element adjacent to the first display element and adapted to cause the current flowing from the first transistor (Q2) to the electrode to flow into the gate signal line (Gate(n-1)) for the second display element. A testing method for testing such a display device is also disclosed.

(57) 要約: 本発明は、EL素子等の取付け前にその駆動回路を検査できるようにするものである。具体的には、本発明は、基板と、該基板上に設けられる各画素を構成する表示素子のための電極と、該電極と電流源配線 Is (m) とにそれぞれ接続される第1のトランジスタ Q2 と、該第1のトランジスタ Q2 のゲート

[続葉有]

WO 2004/055772 A1



DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

トとデータ保持用信号配線 Data (m) とにそれぞれ接続される第2のトランジスタ Q1 と、電流源配線 Is (m) と第1のトランジスタ Q2 のゲートとにそれぞれ接続される保持容量 C1 と、前記電極と前記表示素子に隣接する別の表示素子用のゲート信号配線 Gate (n-1) とに接続され、第1のトランジスタ Q2 から前記電極に流れる電流を、別の表示素子用のゲート信号配線 Gate (n-1) へと導く第3のトランジスタ Qt とを少なくとも含むアクティブマトリクス型の表示装置とこの表示装置の検査方法とを提供する。

明 細 書

アクティブマトリクス型の表示装置およびその検査方法

5 技術分野

本発明は、エレクトロルミネッセンス (Electroluminescence : 以下、「E L」とよぶ) 素子を基板上に作り込んで形成された電子表示装置 (電気光学装置) に関し、特に、アクティブマトリクス型の T F T (Thin Film Transistor) を用いた有機 E L (Organic Electroluminescence : または O E L) ディスプレイ等の表示装置およびその検査方法に関する。

背景技術

近年、自ら発光するタイプの素子として E L 素子を有するアクティブマトリクス型の E L 表示装置の研究が活発化してきている。E L 表示装置は、有機 E L ディスプレイ又は有機ライトエミッティングダイオード (Organic Light Emitting Diode : O L E D) とも呼ばれている。E L 素子は、一对の電極 (陽極および陰極) 間に E L 層が挟まれた積層構造を一般に有する。代表的なものとしては、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。このような E L 素子を用いたアクティブマトリクス型の表示装置は、自ら発光するものであり薄く、低消費電力にて駆動でき、次世代ディスプレイとして有望視されてきている。

このような表示回路に対しては、ガラス基板上に形成された T F T 駆動回路上に自発光の有機 E L の素子等を設ける前に、各画素においてこの駆動回路が問題なく形成されているかを予め確認したいという要望がある。これは、ガラス基板上に有機 E L 素子の駆動回路を形成した段階において不良品が発生する可能性が比較的

に高いことに起因する。これにより、早期に不良品を取り除いてスループット向上等が図られるというメリットがある。しかしながら、安価で高精度に効率的に検査するための装置が提案されていない。

上記の問題を解決するために、以下の特開 2002-108243 号公報（第 9
5 頁、第 2 図：以下、「特許文献 1」とよぶ）の方法が提案されている。この方法では、TFT 基板に対して、有機 EL 素子の代わりに導電性を有する膜を堆積させることにより回路特性を評価する方法を開示している。しかしながら、特許文献 1 の方法では、試験後にこの導電膜を除去するために余分な工程が必要となる。また、もしこの導電膜が十分に除去できない場合には、最終的な製品の品質に不具合が起こり
10 うる。

また、別法として、上記の各画素の駆動回路の試験用にキャパシタ（容量）を予め組み込んでおく方法が特開 2002-297053 号公報（第 3 頁、第 1 図：以下、「特許文献 2」とよぶ）および特開 2002-32035 号公報（第 5～6 頁、第 1 図：以下、「特許文献 3」とよぶ）に開示されている。例として、特許文献 2 の
15 回路を用いて説明する。図 20 は、特許文献 2 のアクティブマトリクス型表示装置での符号 150 に示す 1 画素あたりの等価回路である。この回路は、スイッチング用の第 1 のトランジスタ Tr1 と、素子駆動用の第 2 のトランジスタ Tr2 と、データ保持用の容量 C1 と、回路試験用に付加された容量 C2 とを含む。OEL を表示素子とする各画素は、TFT 基板上にマトリクス状に形成されたマトリクスアレイ基板
20 を構成している。第 1 のトランジスタ Tr1 のドレイン端子（D）はデータ電圧信号（Vdata）の入力ラインに接続され、ゲート端子（G）は外部からのゲート信号（Gate Sig）の入力を受けている。ここで、この第 1 のトランジスタ Tr1 のソース端子（S）は、保持用の容量 C1 の一方の端子と第 2 のトランジスタ Tr2 のゲート端子（G）とに接続されている。そして、保持用の容量 C1 の他方の端子は、Vsc ラインに
25 接続されている。第 2 のトランジスタ Tr2 のソース端子（S）には電源電圧 P Vdd

が印加されており、ドレイン端子 (D) は、O E L 素子のアノード電極と付加容量 C 2 の一方の端子とに接続されている。また、付加容量 C 2 の他方の端子は、V s c ラインに接続されている。なお、図 2 0 において、ダイオード 1 5 2 で示されている素子は、E L 素子や L C D 等の発光素子または駆動素子そのものの自体の負荷を
5 模式的に示したものに過ぎない点に留意されたい。

次に、上記の図 2 0 の回路の簡単な動作について説明する。第 1 のトランジスタ Tr1 に対し、そのドレイン端子 (S) に所望の階調値に応じたデータ電圧信号を印加し、ゲート端子 (G) にゲート信号を入力し、第 1 のトランジスタ Tr1 をオン状態にして、データ電圧信号の電圧値に応じた電荷を保持用の容量 C 1 に保持させる。
10 そして、この保持用の容量 C 1 に保持された電荷量により、第 2 のトランジスタ Tr2 のソース端子 (S) とドレイン端子 (D) との間の導通状態 (抵抗) が制御され、電源電圧 P V d d とこの制御された抵抗値とにより決まる電流値によって、O E L 素子が駆動される。このとき、付加容量 C 2 の一方の端子にも電力が供給されるため、その電力に応じた電荷が付加用の容量 C 2 に蓄積される。従って、この付加用の容
15 量 C 2 に蓄積された電荷を調べることによりトランジスタの良否を判断し、T F T 基板内の画素の駆動回路の欠陥検査を行うものである。

なお、図 2 1 に示すように、特許文献 3 は、図 2 0 と同様のアクティブマトリクス型表示装置 1 6 0 において、その表示装置 1 6 0 を構成するそれぞれの画素に対し、上記のキャパシタ (または容量) に対応する容量 9 1 0 8 を E L 素子等の駆動
20 電極 9 1 0 5 と隣の発光素子のゲート線 (G 2) とに接続する態様を開示するものである。

しかしながら、上記の特許文献 2 および特許文献 3 の態様では、以下の問題がある。まず、駆動回路が正常または異常 (故障または不良) であることを調べることはできるが、回路が所望の特性を有するか、例えば、発光素子の複数の階調値に対し、駆動回路が出力する電流が設計仕様を満たしているか、についてまで正確に判
25

定するのは困難である。また、過渡応答等の特性調査も困難である。また、容量を用いた回路構成の場合には、直流電流等に対する特性の調査が一般的に困難である。

上記に説明したように、従来の方法では、実際に使用される表示状態に即した電流特性や電圧特性を評価することが困難である。

5

発明の開示

本発明は、上記実情に鑑みて為されたもので、実際の表示状態に即した欠陥検査を容易に行うことができる表示装置を提供することを目的とする。具体的には、基板と、該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、該電極と第1の電流源配線（ $I_s(m)$ ）とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタ（ Q_2 ）と、該第1のトランジスタ（ Q_2 ）のゲートとデータ保持用信号配線（ $Data(m)$ ）とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線（ $Gate(n)$ ）の電圧で規定している第2のトランジスタ（ Q_1 ）と、前記電流源配線（ $I_s(m)$ ）と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記データ保持用信号配線（ $Data(m)$ ）から供給される電圧信号を保持するための保持容量（ C_1 ）と、前記電極と、前記表示素子とは別の表示素子用のゲート信号配線（ $Gate(n-1)$ ）又は $Gate(n+1)$ ）とにそのソースとドレインが接続され、前記第1のトランジスタから前記電極に流れる電流を、該別の表示素子用のゲート信号配線（ $Gate(n-1)$ ）又は $Gate(n+1)$ ）へと導くようにそのゲートが制御される第3のトランジスタ（ Q_t ）とを含んでなるアクティブマトリクス型の表示装置を提供する。

25 ここで、前記第3のトランジスタのゲートが、前記表示素子とは別の表示素子用

の第2の電流源配線 ($I_s(m+1)$) に接続され、それにより、該ゲートをオン状態またはオフ状態に制御する態様や、前記第3のトランジスタのゲートが、前記別の表示素子用のゲート信号配線 ($Gate(n-1)$) 又は $Gate(n+1)$) に接続され、それにより、該ゲートをオン状態またはオフ状態に制御する態様であることが好ましい。

また、基板と、該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、該電極と第1の電流源配線 ($I_s(m)$) とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタ (Q_2) と、該第1のトランジスタ (Q_2) のゲートとデータ保持用信号配線 ($Data(m)$) とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線 ($Gate(n)$) の電圧で規定している第2のトランジスタ (Q_1) と、前記電流源配線 ($I_s(m)$) と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記データ保持用信号配線 ($Data(m)$) から供給される電圧信号を保持するための保持容量 (C_1) と、前記電極と前記ゲート信号配線 ($Gate(n)$) とにそのソースとドレインが接続され、前記表示素子とは別の表示素子用のゲート信号配線 ($Gate(n+1)$) の電位を変更してそのゲートをオン状態またはオフ状態にすることにより、前記第1のトランジスタから前記電極に流れる電流を前記ゲート信号配線 ($Gate(n)$) へと導く第3のトランジスタ (Q_t) とを含んでなるアクティブマトリクス型の表示装置も提供する。

ここで、前記表示素子が、有機EL素子である態様や、前記第3のトランジスタのゲートが、別途設けた電源供給配線 ($Gate(Common)$) に接続されている態様や、前記第3のトランジスタのドレインがさらに別途設けた電流放出配線 ($Drain(n)$) に接続されている態様や、前記第3のトランジスタがp型の

ものである態様や、前記第3のトランジスタからの配線が、表示装置が稼動状態にあるときに、2つ以上の前記表示素子を同時に制御する周辺回路に接続されており、前記第3のトランジスタが該周辺回路を介して順次切り換えられる態様であることが好ましい。

- 5 また、本発明は、上記のいずれかの表示装置の検査方法についても提供する。具体的には、上記のいずれかのアクティブマトリクス型の表示装置の各表示素子を検査する方法であって、前記第2のトランジスタ（Q1）のゲート電圧を制御して前記保持容量（C1）へと電荷を貯めるステップと、検査対象の表示素子とは別の表示素子用の第1の配線の電位を変えて、前記第3のトランジスタ（Qt）のゲート
10 を制御するステップと、検査対象の表示素子用の前記第1の電流源配線に接続されている測定器を用いて、前記第3のトランジスタ（Qt）を介して前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法を提供する。

- また、本発明は、実際の表示状態に即した欠陥検査を容易に行うことができる第
15 2の表示装置についても提供する。具体的には、基板と、該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、該電極と電流源配線（Is（m））とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタ（Q2）と、該第1のトランジスタ（Q2）のゲートとデータ保持用信号配線（Data（m））とに
20 それぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線（Gate（n））の電圧で規定している第2のトランジスタ（Q1）と、前記電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記データ保持用信号配線（Data（m））から供給される信号を保持するための保持容量（C1）と、前記電極（ITO）と前記表示素子とは別の表示素子用のゲー
25

ト信号配線 (Gate (n+1) または Gate (n-1)) とに接続されたダイオード (Dt) とを含んでなる表示装置を提供する。

ここで、前記表示素子が、有機EL素子である態様や、前記ダイオードが、別途設けた電流放出配線 (Drain (n)) に接続されている態様であることが好ましい。

また、本発明は、上記の第2のいずれかの表示装置の検査方法についても提供する。具体的には、上記の第2のいずれかのアクティブマトリクス型の表示装置の各画素を検査する方法であって、前記第2のトランジスタ (Q1) のゲートを制御して前記保持容量 (C1) に電荷を貯めるステップと、検査対象の表示素子とは別の表示素子用の第1配線の電位を変えて、該検査対象の表示素子とは別の表示素子用の第2配線に接続されている測定器を用いて、前記ダイオード (Dt) を介して前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法を提供する。

さらに、本発明は、実際の表示状態に即した欠陥検査を容易に行うことができる第3の表示装置も提供する。具体的には、アクティブマトリクス型の表示装置であって、該表示装置を構成する画素のそれぞれが、前記画素の表示素子へと接続される電極と、該電極と前記画素用の第1の配線 (Is) とにそれぞれ接続される第1のトランジスタ (Q2) と、該第1のトランジスタのゲートと電圧信号を与えるためのデータ保持用信号配線 (Data (m)) とにそれぞれ接続される第2のトランジスタ (Q1) と、前記第1のトランジスタのゲートと前記画素用の第2の配線 (Common) とにそれぞれ接続される保持容量 (C1) と、前記第1のトランジスタから前記電極に流れる電流によって電荷の蓄積を受けるように、前記電極と前記第1のトランジスタのゲートとに接続される負荷容量 (Cfb) とを含んでなる表示装置を提供する。

ここで、前記表示素子が、有機EL素子である態様であることが好ましい。

また、本発明は、上記の第3のいずれかの表示装置の検査方法も提供する。具体的には、上記の第3のいずれかのアクティブマトリクス型の表示装置の各画素を検査する方法であって、第1の電圧（V1）を前記第1のトランジスタ（Q2）に供給するステップと、前記第2のトランジスタ（Q1）のゲートに接続されたゲート信号線（Gate（n））を制御し、前記第2のトランジスタ（Q1）を一旦オンにしてオフにし、前記データ保持用信号配線（Data（m））の電圧を前記第1のトランジスタ（Q2）のゲートに与え、前記保持容量（C1）と前記負荷容量（Cfb）に電荷を蓄積するステップと、前記第1の電圧（V1）を減少させるステップと、前記第2のトランジスタ（Q1）をオンにして、前記データ保持用信号配線（Data（m））に接続された電荷測定器を用いて、前記保持容量（C1）に蓄えられた電荷量を測定するステップと、該測定された電荷量と、前記第1の電圧を供給したときの電荷量との差を各画素において求めるステップと、前記差が所定の範囲内にあるかを判断するステップとを含んでなる表示装置の検査方法を提供する。

ここで、前記第1の電圧（V1）を減少させるステップにおいて、前記第1の電圧は、前記電荷を蓄積するステップでの前記電極の電圧よりも低い所定の電圧まで減少させる態様や、前記第1の電圧（V1）を前記第1のトランジスタ（Q2）に供給するステップの前に、前記保持容量（C1）に蓄えられている電荷量を予めリセットしておくステップをさらに含む態様や、前記第1の電圧（V1）を減少させるステップにおいて、前記第1の電圧は、前記第1のトランジスタ（Q2）の閾値電圧によって前記第1のトランジスタがオフになるまで減少させる態様であることが好ましい。

さらにまた、本発明は、実際の表示状態に即した欠陥検査を容易に行うことができる第4の表示装置についても提供する。具体的には、基板と、該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、該電極と電流源

配線 (I s (m)) とにそれぞれ接続される第 1 のトランジスタ (Q 2) と、該第 1 のトランジスタ (Q 2) のゲートとデータ保持用信号配線 (D a t a (m)) とにそれぞれ接続され、そのゲートにゲート信号配線 (G a t e (n)) が接続されている第 2 のトランジスタ (Q 1) と、前記第 1 のトランジスタ (Q 2) のゲートと前記電流源用配線 (I s (m)) とにそれぞれ接続される保持容量 (C 1) と、前記第 1 のトランジスタ (Q 2) がオンのときに流れる電流によって電荷の蓄積を受けるように、前記電極とは別の表示素子の第 2 のトランジスタ (Q 1) のゲートに接続されている配線 (G a t e (n-1)) とに接続される負荷容量 (C t) とを含んでなるアクティブマトリクス型の表示装置を提供する。

- 10 また、基板と、該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、該電極と電流源配線 (I s (m)) とにそれぞれ接続される第 1 のトランジスタ (Q 2) と、該第 1 のトランジスタ (Q 2) のゲートとデータ保持用信号配線 (D a t a (m)) とにそれぞれ接続され、そのゲートにゲート信号配線 (G a t e (n)) が接続されている第 2 のトランジスタ (Q 1) と、前記第 1 のトランジスタ (Q 2) のゲートと前記電流源配線 (I s (m)) とにそれぞれ接続される保持容量 (C 1) と、前記第 1 のトランジスタ (Q 2) がオンのときに流れる電流によって電荷の蓄積を受けるように、前記電極と、同じ表示素子の第 2 のトランジスタ (Q 1) のゲートとに接続されて、前記ゲート信号配線 (G a t e (n)) に接続される負荷容量 (C t) とを含んでなるアクティブマトリクス型の表示装置も提供する。

ここで、前記表示素子が、有機 E L 素子である態様が好ましい。

- また、本発明は、上記の第 4 のいずれかの表示装置についての検査方法も提供する。具体的には、上記第 4 のいずれかのアクティブマトリクス型の表示装置の各表示素子を検査する方法であって、前記第 2 のトランジスタ (Q 1) のゲートを制御して、前記保持容量 (C 1) に電荷を貯めるステップと、検査対象の表示素子とは

別の表示素子用のゲート信号 (Gate (n+1)) 配線の電位を変えて、該検査対象の表示素子の電流源配線 (Is (m)) に接続されている測定器を用いて、前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法を提供する。

- 5 また、上記の実施態様のいずれかに記載のアクティブマトリクス型の表示装置であって、前記別の表示素子が、前記検査対象の表示素子に隣接するものである、アクティブマトリクス型の表示装置も提供する。さらに、上記の実施態様のいずれかに記載のアクティブマトリクス型の表示装置の検査方法であって、前記別の表示素子が、前記検査対象の表示素子に隣接するものである、アクティブマトリクス型の表示装置の検査方法も提供する。
- 10

さらに、本発明は、注目する画素に書き込み操作を行うことにより、同時に電流測定回路を形成して、電流を測定することが実際の表示状態に即した欠陥検査を容易に行うことができる第5の表示装置も提供する。

- 具体的には、基板と、該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、そのドレインが前記電極に接続され、そのソースおよびそのゲートが前記表示素子用のゲート信号配線に接続され、前記第1のトランジスタから前記電極に流れる電流を、前記表示素子用のゲート信号配線へと導く第3のトランジスタとを含んでなるアクティブマトリクス型の表示装置を提供する。
- 15
- 20

- また、基板と、該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、該電極と電流源配線とにそれぞれ接続され、該表示素子のオン
- 25

状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、前記電極と、前記表示素子用のゲート信号配線とに接続されたダイオードとを含んでなる、アクティブマトリクス型の表示装置を提供する。

また、本発明は、上記の第5のいずれかの表示装置を用いた検査方法も提供する。具体的には、上記の第5のいずれかの表示装置の各表示素子を検査する方法であって、検査対象の表示素子用のゲート信号配線の電位を変えて、前記第2のトランジスタのゲート電圧を制御して、前記第1のトランジスタのゲートに前記データ保持用信号配線で規定される電圧を供給するとともに、前記第3のトランジスタのゲートまたは前記ダイオードを制御するステップと、該ゲート信号配線または前記第1の電流源配線に接続されている測定器を用いて、前記第3のトランジスタまたは前記ダイオードを介して前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法を提供する。

また、本発明は、注目する画素に書き込み操作を行うことにより、同時に電流測定回路を形成して、電流を測定することが実際の表示状態に即した欠陥検査を容易に行うことができる第6の表示装置も提供する。

具体的には、基板と、該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、前記電極と、前記表示素子とは別の表示素子用のゲート配線とにそのゲートとドレインとが接続

され、前記第1のトランジスタから前記電極に流れる電流を、該別の表示素子用のゲート信号配線へと導くようにそのゲートが制御される第3のトランジスタとを含んでなる、アクティブマトリクス型の表示装置を提供する。ここで、前記第3のトランジスタのゲートは、前記表示素子用のゲート配線に接続され、それにより、

5 該ゲートをオン状態またはオフ状態に制御する態様であることが好ましい。

また、上記の第6のいずれかの表示装置の各表示素子を検査する方法であって、検査対象の表示素子用のゲート信号配線の電位を変えて、前記第2のトランジスタのゲート電圧を制御して、前記第1のトランジスタのゲートに前記データ保持用信号配線で規定される電圧を供給するとともに、前記第3のトランジスタのゲートを

10 制御するステップと、検査対象の表示画素用の前記第1の電流源配線または前記検査対象の表示素子とは別の表示素子用のゲート信号配線に接続されている測定器を用いて、前記第3のトランジスタを介して前記電極から流れる電流を測定するステップとを含んでなる表示装置の検査方法を提供する。

ここで、上記表示装置において使用されるトランジスタとしては、特に制限がない場合には、p型またはn型のどちらのものを用いてもよい。

15

また、本発明は、各画素に対応する表示素子のための電極と駆動装置が設けられた基板上に形成された表示装置を一般にテストするためのものであり、現在有力である透明電極を用いて基板側から視認するタイプの表示装置に限定されるものでは必ずしもなく、電極や駆動装置を設けた基板の上に置かれる発光物質や対向電極

20 の側から視認する表示装置をも対象とするものである。したがって、基板に置かれる電極は透明電極に限定されるものではない。

また、上記の表示装置では、自己発光する有機EL素子の開口面積をなるべく広く取れるようにすること、すなわち、電極の面積をより大きくすることが好ましいので、評価用に各画素に対応して組み込まれる素子は、できるだけ小さい面積となるものを選択することが好ましい。なお、各画素に対応する表示素子のグループを

25

分割して計測して電流・電圧測定の分解能を向上するように、各表示素子に対して分離した配線がなされていることが好ましい。

本明細書では、陰極と陽極との間に設けられる全ての層を総称してE L層とよんでいる。そのため、ここでのE L層は、正孔注入層と、正孔輸送層と、発光層と、
5 電子輸送層と、電子注入層とを含みうる。また、本明細書では、陽極とE L層と陰極とにより形成される発光素子をE L素子とよんでいる。なお、本明細書中において、E L素子とは、一重項励起子からの発光（蛍光）を利用するものと、三重項励起子からの発光（燐光）を利用するものとの両方を含みうる。

10 図面の簡単な説明

第1図は、負荷素子として、A～Cは、トランジスタ（Q t）を用いた場合を、DおよびEは、ダイオード（D t）を用いた場合を、Fは、容量（C t）を用いた場合をそれぞれ示す本発明のアクティブマトリクス型表示装置の概略図である。第2図は、第1図のAに対応する本発明の第1の実施態様であるアクティブマトリクス型表示装置の基板上的回路を示す回路図である。第3図は、第1図のBに対応する本発明の第2の実施態様であるアクティブマトリクス型表示装置の基板上的回路を示す回路図である。第4図は、第1図のCに対応する本発明の第3の実施態様であるアクティブマトリクス型表示装置の基板上的回路を示す回路図である。第5図は、第4図に示す本発明の第1の実施態様のアクティブマトリクス型表示装置の
15 基板上的回路において、トランジスタQ tのドレインおよびゲートをともに接続した態様を示す回路図である。第6図は、第5図に示す本発明の第1の実施態様のアクティブマトリクス型表示装置の基板上的回路において、トランジスタQ tのドレインおよびゲートをともに接続し、その接続先をその表示画素のゲート線G a t e
20 （n）に接続した態様を示す回路図である。第7図は、第4図に示す本発明の第1の実施態様のアクティブマトリクス型表示装置の基板上的回路において、トランジ

スタ Q_t のソースおよびゲートの接続先を変更した態様を示す回路図である。第8図は、第7図に示すアクティブマトリクス型表示装置の基板上の回路において、トランジスタ Q_t のソースおよびゲートの接続先を第7図とは逆にした態様を示す回路図である。第9図は、第1図のDに対応する本発明の第4の実施態様であるアクティブマトリクス型表示装置の基板上の回路を示す回路図である。第10図は、第9図に対応する本発明の第4の実施態様であるアクティブマトリクス型表示装置の基板上の回路において、その接続先をその表示画素のゲート線 $Gate(n)$ に接続した態様を示す回路図である。第11図は、第1図のEに対応する本発明の第5の実施態様であるアクティブマトリクス型表示装置の基板上の回路を示す回路図である。第12図は、新たなフィードバック容量 (C_{fb}) を追加した本発明の第6の実施態様であるアクティブマトリクス型表示装置の回路図である。第13図のAは、第12図の第6の実施態様において、 Q_1 および Q_2 に n 型のトランジスタを用いた場合の画素の駆動回路の概略図である。第13図のBは、電圧駆動タイプである第13図のAの回路の動作を説明するためのタイミングチャートである。第14図のAは、図12の第6の実施態様において、 Q_1 に n 型のトランジスタを用い、 Q_2 に p 型のトランジスタを用いた場合の画素の駆動回路の概略図である。第14図のBは、電流駆動タイプである第14図のAの回路の動作を説明するためのタイミングチャートである。第15図は、第9図の実施態様におけるダイオード D_t を容量 C_t に置換した第1図のFに対応する本発明の第7の実施態様を示す回路図である。第16図は、第15図の回路において、容量 C_t を自己のゲート線である $Gate(n)$ に接続した本発明の実施態様を示す回路図である。第17図のAは、第15図の注目する画素の駆動回路を示す概略図である。第17図のBは、第17図のAの回路の動作を説明するためのタイミングチャートである。第18図のAは、第16図の注目する画素において、トランジスタ Q_1 に n 型のものを使用してトランジスタ Q_2 に p 型のものを使用する駆動回路を示す概略図であ

る。第18図のBは、第18図のAの回路の動作を説明するためのタイミングチャートである。第19図のAは、第16図の注目する画素において、トランジスタQ1およびQ2にn型のものを使用する駆動回路を示す概略図である。Bは、第19図のAの回路の動作を説明するためのタイミングチャートである。第20図は、容量を用いた従来のアクティブマトリクス型表示装置での1画素当たりの等価回路を示す回路図である。第21図は、容量を用いた従来のアクティブマトリクス型表示装置の画素部の回路構成を示す回路図である。

発明を実施するための最良の形態

- 10 まず、本発明のいくつかの実施態様について、図1を用いて説明する。図1は、画素周辺部において、ELや液晶(LCD)等の素子を発光または駆動するために電極に接続されるいくつかの負荷素子の種類およびその接続を示している。ここでは、ITO電極といわれる、インジウムとスズの酸化物をガラスなどの基板上に蒸着して形成した透明電極を採用した場合を例に示しているため、この基板上的電極
- 15 をさして「ITO」と、特に図中では略称する。しかし、本発明は、ITO電極などの透明電極に限定されるものではなく、基板上に電極とトランジスタなどの駆動回路とを形成して製造する表示装置一般に適用可能なものである。また、負荷素子としては、図1A～図1Cではトランジスタ(Qt)を用いた態様を、図1Dおよび図1Eはダイオード(Dt)を用いた態様を、図1Fは容量(Ct)を用いた態様をそれぞれ示している。なお、図1A～図1Fにおいて破線で囲まれた部分は、
- 20 アクティブマトリクス型の表示装置を構成する1画素の駆動回路を示すものである。なお、以降の図3～図12と図15および図16とにおいても、破線で囲まれた部分が、アクティブマトリクス型の表示装置を構成する1画素の駆動回路を同様に示すものである。
- 25 次に、図1Aを参照して、本発明の駆動回路の負荷素子としてトランジスタ(Q

t) を用いた場合の基本的な表示装置の回路構成について説明する。図 1 A では、アクティブマトリクス型の表示装置を構成する画素の駆動回路は、EL 素子等へと接続され、通常、導電性を有する透明な ITO からなる電極と、該電極と該画素用の電流源配線 ($I_s(m)$) とにそれぞれ接続され、EL 素子等のオン状態やオフ状態を、そのゲートに加えられる電圧によって切り換えている第 1 のトランジスタ (Q_2) と、第 1 のトランジスタ (Q_2) のゲートと電圧信号を与えるためのデータ保持用信号配線 ($Data(m)$) とにそれぞれ接続され、第 1 のトランジスタ (Q_2) のオン状態またはオフ状態を、そのゲートに加えられる電圧により切り換えている第 2 のトランジスタ (Q_1) と、電流源配線 ($I_s(m)$) と第 1 のトランジスタ (Q_2) のゲートとにそれぞれ接続され、第 2 のトランジスタ (Q_1) がオン状態の間に、第 2 のトランジスタ (Q_1) を介して供給されるデータ用の電圧信号を保持する保持容量 (C_1) と、電極と注目する画素とは別の画素用あるいは隣接する画素用の配線 ($Gate(n-1)$) とに接続され、該別の画素用の配線 ($I_s(m+1)$) の電位を変更してそのゲートをオン状態またはオフ状態にすることにより、前記第 1 のトランジスタ (Q_2) から前記電極に流れる電流を、該別の画素用の配線へと導く第 3 のトランジスタ (Q_t) とを含んでなる。また、画素の周辺部は、周辺回路 20、30 へと接続されるパッド 10、12 や、各画素への電源をオンまたはオフするためのスイッチ 14 等が配置されている。このような周辺回路 20、30 等を含めた図 1 A のより詳細な回路を図 2 に示す。

ここで、上記の本発明の回路は、負荷素子として上記の第 3 のトランジスタ Q_t を追加している点で従来の回路と異なるものである。また、後述するように、本発明では、このトランジスタ Q_t の部分を、ダイオード D_t や容量 C_t に変更した場合においてもさらに適用することができる。

なお、上記の負荷素子であるトランジスタ Q_t やダイオード D_t や容量 C_t を追加する場合には、電極とトランジスタ Q_2 との接続の状態も確認することができる

ように、第1のトランジスタ(Q2)と上記の負荷素子とが電極を介して接続されるようにすることが好ましい。

次に、図2を用いて、この図1Aのトランジスタを用いた回路の動作を説明する。ここで、図2の破線で囲まれた部分は、図1Aの破線で囲まれた部分に相当するものである。なお、本明細書中の図面では、参照記号に $_n$ が付いている場合はn型トランジスタを意味し、 $_p$ が付いている場合はp型トランジスタを意味するものである。まず、トランジスタ(Q2)のゲート電圧を制御して電極(ITO電極)への電流量を制御する。これは、Data(m)に所望の電圧を出しておき、Gate(n)で制御してQ1を一旦オンにしてからオフにして、データ保持用の容量C1に電荷を蓄えている。次にこの状態が変更されるまでは、容量C1の電圧が保持される。従って、この状態では、もしEL素子が形成されていたならば、電極を介してEL素子等(図示せず)に電力が供給され発光することになる。

次に、注目している画素とは別の画素の電流源配線、例えば注目している画素の隣の電流源配線Is(m+1)によりトランジスタ(Qt)のゲートを制御して、注目している画素の隣のゲート線Gate(n+1)にトランジスタ(Qt)のドレインを接続する。そして、このIs(m)線に接続されている電流計(図示せず)を用いて、電極に流れる電流(つまり、EL素子に流れる電流)を測定する。

この図1Aまたは図2に示す実施態様の場合には、トランジスタQtがp型のものであることが好ましい。これは、実際にEL素子を発光(または駆動)する場合に、トランジスタQ2からEL発光用に供給された電流がトランジスタQtを介して流れ出してしまうという不具合を回避するために、トランジスタQtのゲート電圧およびソース電圧がゼロの場合にこのトランジスタQtを流れる電流がオフになることが好ましいからである。ここで、トランジスタQ1およびQ2にもp型のものを用いると、トランジスタQtも含めて全てがp型のもので構成できる。

ここで、トランジスタQ2にn型のものを用いると電極の電圧を設定するという

駆動回路になり、トランジスタ Q_2 にp型のものを用いると電極（ITO）の電流を設定するという駆動回路になる。なお、いずれの場合においても動作原理は同じである。

次に、図3を参照して、上記の第1の実施態様を改良した本発明の第2の実施態様を説明する。上記の第1の実施態様では、トランジスタ Q_t を別の画素例えば、隣の画素の電流源配線（ $I_s(m+1)$ ）で制御していたが、この第2の実施態様では、新たな電源供給線である L_gate 線（図1Bの $Gate(Common)$ に対応）を設けてトランジスタ Q_t を制御している。また、この新たな電源供給線である L_gate 線に対しても、上記の場合と同様に周辺回路から電圧制御等を行うことができる。従って、上記の第1の実施態様でのトランジスタ Q_t に対する制限が解消され、例えば、トランジスタ Q_t にn型のものを使用することも可能となる。

さらに、図4を参照して、本発明の第3の実施態様を説明する。第3の実施態様は、上記の第2の実施態様に加えて、別の新たな配線として電流放出配線 $Drain(n)$ 線をさらに設けており、この新たな配線 $Drain(n)$ にトランジスタ Q_t の出力を接続している。そして、電流源配線（ $I_s(m)$ ）またはこの新たな配線 $Drain(n)$ に電流計（図示せず）を接続することにより、上記の第1および第2の実施態様と同様に、電極に流れる電流を測定することができる。

この場合には、電極に流れる電流の測定のために別の画素のゲート線、例えば、隣の画素のゲート線である $Gate(n-1)$ や $Gate(n+1)$ 等を使用する必要がない。このため、電流測定時の制限が解消され、測定の自由度が増加するというメリットがある。

なお、図2の注目している画素とは別の画素の電流源配線（ $I_s(m+1)$ ）を設けずに、トランジスタ Q_t のドレインとトランジスタ Q_t のゲートとを接続して、このトランジスタ Q_t のドレインとゲートとに接続した線を、画素駆動用のゲート

線である $G a t e (n)$ 、または隣接する画素駆動用のゲート線である $G a t e (n + 1)$ あるいは $G a t e (n - 1)$ へと接続することもできる。この場合を図 5 に示す。この構成は、トランジスタ Q_1 と Q_t が p 型の場合に適用可能なものである。この場合には、トランジスタ Q_t の接続先のゲート線が選択されて電圧がローになると、トランジスタ Q_t がオンになるため、トランジスタ Q_t がダイオードである場合と同様な使い方ができる。

次に、図 5 を参照して、その電流特性の評価方法を説明する。まず、トランジスタ Q_2 のゲート電圧を制御して電極への電流量を制御する。これは、注目する画素のデータ保持用の電圧信号配線 $D a t a (m)$ に所望の電圧を出しておき、注目する画素のゲート用配線 $G a t e (n)$ の電圧をローにしてトランジスタ Q_1 を一旦オンにしてからオフにして、データ保持用の容量 C_1 に電荷を蓄えている。次にこの状態が変更されるまでは、容量 C_1 には電圧が保持される。従って、この状態では、もし電極に EL 素子が形成されていたならば、電極を介して EL 素子等（図示せず）に電力が供給されることになる。そして、EL 素子において電子および正孔の再結合が起こり、EL 素子が駆動または発光し続けることになる。

次に、注目している画素とは別の画素、例えば隣接する画素のゲート用配線 $G a t e (n + 1)$ によって、トランジスタ Q_t のゲート電圧をローにしてオンさせ、トランジスタ Q_2 を介してトランジスタ Q_t を流れる電流を $G a t e (n + 1)$ に流す。そしてこのとき、電流源配線 $I s (m)$ 線に接続されている電流計（図示せず）を用いて、電極に流れる電流（つまり、EL 素子が形成されていたならば、そこに流れることになる電流）を測定する。

これにより、 $D a t a (m)$ および $G a t e (n)$ を用いてトランジスタ Q_1 をオンにしてオフにする動作、つまり注目する画素に書き込む動作を行った後、 $G a t e (n + 1)$ の電圧をローにしてそれとは別の画素、例えば、隣接する画素へとデータ信号を書き込む時に、注目する画素に流れる電流値を評価することができる。

言い換えると、注目する画素とは別の画素あるいは隣接する画素のゲート線を制御することにより、ホールド状態になっている注目する画素の駆動回路の電流特性を測定することができる。

ここで、上記の測定では、注目する画素とは別の画素のゲート用配線 $G a t e (n + 1)$ は使用するが、この別の画素の電流供給用配線 $I s (m + 1)$ は使用していない。従って、制御が簡単で素子の回路設計の負担が少ない。

次に、図 2 において、注目している画素とは別の画素の電流源配線 ($I s (m + 1)$) を設けずに、トランジスタ $Q t$ のドレインとトランジスタ $Q t$ のゲートとを接続して、このトランジスタ $Q t$ のドレインとゲートとに接続した線を、画素駆動用のゲート線である $G a t e (n)$ に接続した場合を図 6 に示す。この構成は、トランジスタ $Q 1$ と $Q t$ が p 型の場合に適用可能なものである。この場合には、トランジスタ $Q t$ の接続先のゲート線が選択されて電圧がローになると、トランジスタ $Q t$ がオンになるため、トランジスタ $Q t$ がダイオードである場合と同様な使い方ができる。

次に、図 6 を参照して、その電流特性の評価方法を説明する。まず、トランジスタ $Q 2$ のゲート電圧を制御して電極への電流量を制御する。すなわち、注目する画素のデータ保持用の電圧信号配線 $D a t a (m)$ に所望の電圧を出しておき、注目する画素のゲート用配線 $G a t e (n)$ の電圧をローにしてトランジスタ $Q 1$ をオンにする。これにより、電圧信号配線 $D a t a (m)$ で規定される電圧が、トランジスタ $Q 2$ のゲートに供給される。このとき、容量 $C 1$ にも電荷が蓄えられる。従って、この状態では、もし電極に $E L$ 素子が形成されていたならば、電極を介して $E L$ 素子等 (図示せず) に電力が供給されることになる。そして、 $E L$ 素子において電子および正孔の再結合が起こり、 $E L$ 素子が駆動または発光し続けることになる。

このことは、注目する画素の電極を駆動するトランジスタ ($Q 2$) の電流特性を、

D a t a (m) で規定される Q 2 のゲート電圧に応じて測定することができるということの意味する。この測定は、注目する画素のホールド状態における特性とは異なるが、例えば、D a t a (m) の設定電圧値を少なくとも 2 点設定し、ある待ち時間後に流れる電流を電流計で測定することにより、トランジスタ (Q 2) の電流特性を詳細に測定することができるという利点を有する。ここで、この電流計は、注目する画素の電流源配線 I s (m)、あるいは、注目する画素のゲート用配線 G a t e (n) に接続される。また、この測定には、別の画素の配線を一切使用しないので、制御が簡単であり、素子の回路設計の際にも負担が少ない。

このトランジスタ (Q t) は、注目する画素に書き込みを行うとオンするが、画素のプロセス管理用の T E G (Test Element Group) として、表示装置上に設けて、表示装置の評価に使用することができる。また、この試験回路を含む画素を、他の試験回路を含む画素と混在させることができる。

さらに、図 2 の注目している画素とは別の画素の電流源配線 (I s (m+1)) を設けずに、図 7 に示すように、トランジスタ Q t のゲートを注目する画素とは別の画素駆動用のゲート線、例えば、隣接する画素駆動用のゲート線 G a t e (n+1) に接点 (A) に示すように接続し、トランジスタ Q t のソースをもう一方の画素駆動用のゲート線 G a t e (n) に接点 (B) に示すように接続することもできる。ここで、図 7 の構成は、トランジスタ Q 1 およびトランジスタ Q t が n 型である場合に適用可能なものである。

次に、図 7 を参照して、その電流特性の測定方法を説明する。まず、トランジスタ Q 2 のゲート電圧を制御して電極への電流量を制御する。これは、注目する画素のデータ保持用の電圧信号配線 D a t a (m) に所望の電圧を出しておき、注目する画素のゲート用配線 G a t e (n) の電圧をハイにしてトランジスタ Q 1 を一旦オンにしてからオフにして、データ保持用の容量 C 1 に電荷を蓄えることによりなされる。次にこの状態が変更されるまでは、容量 C 1 の電圧が保持される。従って、

この状態では、もしEL素子が形成されていたならば、電極を介してEL素子等（図示せず）に電力が供給されることになる。そして、EL素子において電子および正孔の再結合が起こり、EL素子が駆動または発光し続けることになる。

次に、注目している画素に隣接するゲート用配線であるGate (n+1) によりトランジスタQ_tのゲート電圧をハイにしてオンさせ、トランジスタQ₂を介してトランジスタQ₂を流れる電流をGate (n) に流す。このとき、I_s (m) 線に接続されている電流計（図示せず）を用いて、電極に流れる電流、つまり、もしEL素子が形成されていればEL素子に流れるはずの電流を測定する。

これにより、Data (m) およびGate (n) を用いてトランジスタQ₁をオンにしてからオフにする動作、つまり注目する画素へと書き込み動作を行った後、Gate (n+1) の電圧をハイにしてその隣接する画素へとデータ信号を書き込む時に、注目する画素に流れる電流値を評価することができる。言い換えると、注目する画素に隣接する画素のゲート線を制御することにより、ホールド状態になっている注目する画素の駆動回路の電流特性を測定することができる。

また、この測定には、隣接する画素のゲート用配線であるGate (n+1) は使用するが、隣接する画素の電流供給用配線であるI_s (m+1) は使用していない。従って、制御が簡単で素子の回路設計の負担も少ない。

また、図2において、注目している画素とは別の画素の電流源配線（I_s (m+1)）を設けずに、図8に示すように、トランジスタQ_tのゲートを注目する画素と同じ画素駆動用のゲート線Gate (n) に接点（B）に示すように接続し、トランジスタQ_tのソースをもう一方の画素駆動用のゲート線Gate (n+1) に接点（A）に示すように接続することもできる。ここで、図8の構成は、トランジスタQ₁およびトランジスタQ_tがn型である場合に適用可能なものである。

次に、図8を参照して、その電流特性の測定方法を説明する。まず、トランジスタQ₂のゲート電圧を制御して電極への電流量を制御する。すなわち、注目する画

素のデータ保持用の電圧信号配線D a t a (m) に所望の電圧を出しておき、注目する画素のゲート用配線G a t e (n) の電圧をハイにしてトランジスタQ 1 をオンにする。これにより、電圧信号配線D a t a (m) で規定される電圧がトランジスタQ 2 のゲートに供給される。このとき、容量C 1 にも電荷が蓄えられる。従つて、この状態では、もしE L素子が形成されていたならば、電極を介してE L素子等（図示せず）に電力が供給されることになる。そして、E L素子において電子および正孔の再結合が起こり、E L素子が駆動または発光し続けることになる。

このことは、注目する画素の電極を駆動するトランジスタ(Q 2) の電流特性を、D a t a (m) で規定されるQ 2のゲート電圧に応じて測定することができるということを意味する。この測定は、注目する画素のホールド状態における特性とは異なるが、例えば、D a t a (m) の設定電圧値を少なくとも2点設定し、ある待ち時間後に流れる電流を電流計で測定することにより、トランジスタ(Q 2) の電流特性を詳細に測定することができるという利点を有する。ここで、この電流計は、注目する画素の電流源配線I s (m)、あるいは、注目する画素のゲート用配線G a t e (n) に接続される。また、この測定には、別の画素の配線を一切使用しないので、制御が簡単であり、素子の回路設計の際にも負担が少ない。

このトランジスタ(Q t) は、注目する画素に書き込みを行うとオンするが、画素のプロセス管理用のT E Gとして、表示装置上に設けて、表示装置の評価に使用することができる。また、この試験回路を含む画素を、他の試験回路を含む画素と混在させることができる。

ここまではトランジスタQ t を用いた駆動回路とこれを用いた回路の検査方法を説明してきたが、次に、図9を参照して、上記のトランジスタQ tの代わりにダイオードを用いた本発明の第4の実施態様を説明する。この第4の実施態様では、図2に示す第1の実施態様のトランジスタQ tをダイオードD tで置換したのと同様構成となっている。また、3端子素子のトランジスタQ tの場合と比較す

ると、ダイオードは2端子素子でありゲート制御用の配線等がいらないので、回路構成が多少簡単である。

次に、この第4の実施態様の回路の動作について説明する。まず、トランジスタQ2のゲート電圧を制御して電極への電流量を制御する。このことは、上記に説明したように、Data (m) に所望の電圧を出しておき、Gate (n) を制御してトランジスタQ1を一旦オンにしてからオフにすることで、データ信号用の保持容量C1に電荷を蓄えることができる。そして、この状態が変更されるまでは、保持容量C1に所定の電圧が保持されているので電極を介して接続されているEL素子が駆動または発光し続けることになる。

- 10 上記の第1の実施態様と同様に、トランジスタQ2にn型のものを用いた場合には電極の電圧を設定するという駆動回路になり、トランジスタQ2にp型のものを用いた場合には電極の電流を設定するという駆動回路になる。いずれの場合でも動作原理としては同じである。

- ここで、ダイオードDtは、陽極が電極に接続され、陰極が注目する画素とは別の画素、例えば、隣の画素のゲート線Gate (n+1) に接続されている。ここで、このGate (n+1) をダイオードDtが導通する電圧にすることで電流源配線Is (m) に接続されている電流計 (図示せず) を用いて、電極に流れる電流を測定する。このダイオードDtは、EL素子が搭載された後の実際の使用時にはオンになる期間をできるだけ短くする (つまり、実際の使用時には電極を介してEL素子 (図示せず) に電気が流れ、ダイオードDtからGate (n+1) にはごく短時間しか電流が流れない) ように設計することが好ましい。この場合には、トランジスタQ1としてp型のものを使用することが好ましい。つまり、注目する画素の隣のトランジスタQ1のゲートGate (n+1) がオフされても、注目する画素のダイオードDtがオンにならないような条件を満たすことができればよい。
- 25 具体的には、上記のダイオードDtに電流が流れないようにするために、ダイオー

ドD tの陰極側を電極の電位よりも高い電位に保持しておけばよい。しかし、図9の場合には、その接続先は注目する画素に隣接するゲート線G a t e (n+1)である。ここで、このゲート線G a t e (n+1)は、注目する画素に隣接するトランジスタQ 1を動作するために、注目する画素とは独立にオンまたはオフする必要がある。そのため、図9の場合には回路構成上の制限が存在することになる。

また、図10を参照して、ダイオードD tが、陽極が電極に接続され、陰極が注目する画素とは同じ画素のゲート線G a t e (n)に接続されている場合について説明する。まず、注目する画素のゲート用配線G a t e (n)の電圧をローにして、p型トランジスタ(Q 1)とダイオード(D t)とをオンにする。そして、注目する画素のデータ保持用の電圧信号配線D a t a (m)に所望の電圧を出しておき、この電圧値により、トランジスタ(Q 2)のゲートを制御する。

ここで、ダイオード(D t)は、陽極が電極に接続され、陰極がG a t e (n)に接続されているため、このD a t a (m)の電圧値に応じて、トランジスタ(Q 2)とダイオード(D t)とを介してG a t e (n)に電流が流れる。そして、ダイオードD tが導通するようにこのG a t e (n)の電圧を制御し、電流源配線I s (m)、または、注目する画素のゲート用配線G a t e (n)に接続されている電流計(図示せず)を用いて、電極に流れる電流(つまり、E L素子に流れる電流)を測定する。

これにより、注目する画素の電極を駆動するトランジスタ(Q 2)の電流特性を、D a t a (m)に設定される電圧に応じて測定することができる。この測定は、注目する画素のホールド状態における特性とは異なるが、例えば、D a t a (m)の設定電圧値を少なくとも2点設定し、ある待ち時間後に流れる電流を電流計または電荷計で測定することにより、トランジスタ(Q 2)の電流特性を詳細に測定することができるという利点を有する。また、この測定には、別の画素の配線を一切使用しないので、制御が簡単であり、素子の回路設計の際にも負担が少ない。

ここで、このダイオード (D_t) は、注目する画素に書き込みを行うとオンするが、画素のプロセス管理用の TEG として、表示装置上に設けて、表示装置の評価に使用することができる。また、この試験回路を含む画素を、他の試験回路を含む画素と混在させることができる。

- 5 また、このダイオード D_t は、EL 素子が搭載された後の実際の使用時にはオンになる期間をできるだけ短くする（つまり、実際の使用時には電極を介して EL 素子（図示せず）に電気が流れ、ダイオード D_t から Gate (n) にはごく短時間しか電流が流れない）ように設計することが好ましい。この場合には、トランジスタ Q_1 として p 型のものを使用することが好ましい。つまり、注目する画素のトランジスタ Q_1 のゲート Gate (n) がオフされているときには、注目する画素のダイオード D_t がオンにならないような条件を満たすことができればよい。具体的には、上記のダイオード D_t に短時間しか電流が流れないようにするために、Gate (n) の使用時以外はダイオード D_t の陰極側を電極の電位よりも高い電位に保持しておけばよい。ここで、図 10 の場合には、その接続先は注目する画素のゲート線 Gate (n) である。そのため、図 9 と同様に、図 10 の場合にも回路構成上の制限が存在することになる。
- 10
- 15

- そのため、図 11 を参照して、上記の回路構成上の制限を解消した本発明の第 5 の実施態様を説明する。この第 5 の実施態様は、上記第 4 の実施態様に対して、新たな電圧供給線である $V_d(n)$ を追加している。そして、この新たな電圧供給線である $V_d(n)$ にダイオード D_t の陰極を接続させている。この場合には、新たな配線を必要とするものの、上記のトランジスタ Q_1 の種類についての制限が解消するというメリットを有する。
- 20

- なお、画素駆動回路の検査をする場合には、この電圧供給線 $V_d(n)$ または電流源配線 $I_s(m)$ に接続された電流計（図示せず）を用いて駆動回路の評価を行うことができる。前者の場合には、この電圧供給線 $V_d(n)$ を高い電位に維持す
- 25

ることによって、電極（ITO）に供給される電流がこのダイオード D_t を介して流れ出さないようにする。

ここで、データ信号線である $Data(m)$ の電圧の設定については、例えば、トランジスタ Q_2 が流す電流を $1\mu A$ にしたい場合には $Data(m)$ の電圧を1
5 Vとすればよいと予想される場合においては、そのように $Data(m)$ の電圧を設定した場合にトランジスタ Q_2 を流れる電流がどの程度かを電圧供給線 V_d
(n) または電流源配線（ $I_s(m)$ ）に接続された電流計を用いて検出して、製品の仕様を満たす電流値かどうかを判断することができる。

次に、図12を参照して、負荷容量 C_{fb} を用いた本発明の第6の実施態様を説明する。この第6の実施態様では、電極に接続された容量 C_{fb} のもう一方をトランジスタ Q_2 のゲートへとフィードバックするように接続している。また、データ信号を保持するための保持容量 C_1 が、電源供給線とは別の新たな電源供給線（ $Common$ ）に接続されている。

上記の第6の実施態様での回路の動作には、電圧駆動タイプと電流駆動タイプとの2種類がある。以下にそれぞれの場合における動作原理について説明する。

（電圧駆動タイプの動作説明）

図13を参照して電圧駆動タイプの動作を説明する。ここでは、 Q_1 および Q_2 にn型のトランジスタを用いている。まず、初期設定ルーチンとして容量 C_{fb} のリセットを行う。具体的には、電源供給線である V_1 （図12の I_s に対応）をゼロ電位にした状態で、トランジスタ Q_2 のゲートを一度オンにして、容量 C_{fb} をリセットする。これは、容量 C_{fb} に当初から存在する電荷による悪影響を排除して、電荷の測定を高精度に行うためのものである。次に、電流供給電圧 V_1 をトランジスタ Q_2 に供給する。さらに、トランジスタ Q_1 のゲートをオンにして、データ信号線である $Data(m)$ からの所定の電圧によりトランジスタ Q_2 をオンに
25 するとともに、この電圧を保持容量 C_1 に与えた後、トランジスタ Q_1 をオフする。

所定の時間にわたってこの状態を継続することにより、電極における電圧を示す V_{-ITO} と容量 C_{fb} における電圧とが飽和して一定の状態となる。それとともにトランジスタ Q_2 もオフ状態となる。この状態から、 V_1 の電圧を徐々に下げていく。ここで、 V_1 と V_{-ITO} との電圧が等しくなるまでは、 V_{-ITO} の電圧は変
5 動しない。しかし、 V_1 と V_{st} の電圧の差がトランジスタ Q_2 の閾値電圧 V_{th} を越すと、すなわち、 V_1 が V_{-ITO} よりも低い電圧になると、トランジスタ Q_2 がオン状態となり、以降、 V_{-ITO} は V_1 に追従して低下していく。その場合には、 V_{-ITO} の電圧低下に従って、容量 C_{fb} が放電してその電圧が低下する。従って、データ保持用の容量 C_1 と C_{fb} との間の点における電圧 V_{st} は、
10 この容量 C_{fb} の電圧の低下に応じて下がることになる。その後、 V_1 が所定の電圧になるまで V_1 を下げる。この所定の電圧は、電圧 V_{st} の変化量 ΔV_{st} が求め易くなるように決定される。

そして、このときの V_{st} の電圧の変化量である ΔV_{st} を求めることにより、この駆動回路の特性を判断することができる。具体的には、上記の V_1 の操作をし
15 て所定の電圧に達した後、トランジスタ Q_1 のゲートを再度 $Gate(n)$ でオンにして、データ線 $Data(m)$ に接続された電流計または電荷計（図示せず）を用いて、この電圧 V_{st} を測定して求めることができる。そして、最初にデータ信号電圧の保持容量 C_1 に保持させた電荷量と、 ΔV_{st} から求められた電荷量とを比較する。ここで、 V_{-ITO} の電圧の変化量を ΔV_{-ITO} とすると、測定電
20 荷量は、 $\Delta V_{st} = \Delta V_{-ITO} \times (C_{fb} / (C_1 + C_{fb}))$ の関係を満たす。従って、各画素において、誤差が所定の範囲内にあるかどうかを判断して、各画素の駆動回路の動作を確認することができる。

（電流駆動タイプの動作説明）

図14を参照して電流駆動タイプの動作について説明する。この場合には、トラ
25 ンジスタ Q_1 および Q_2 にはp型のものを用いている。ここでは、上記の電圧駆動

タイプと異なり、容量 C_{fb} のリセットは不要である。また、電源供給線 V_2 （図12のCommonに対応）には所定の電圧が供給されている。ここで、ゲート信号配線 $Gate(n)$ を制御してトランジスタ Q_1 をオンさせる。データ信号配線 $Data(m)$ に所定の電圧を予め与えておくことにより、トランジスタ Q_2 もオン状態になる。このとき、トランジスタ Q_2 のソースに接続されている V_1 （図12の I_s の電圧に対応）の電圧は、ゲートよりも高く設定されている。この状態から、電源供給線 $V_1(I_s)$ の電圧を下げていく。トランジスタ Q_2 がオフになるまでは電極（ITO電極）の電圧である V_{ITO} も追従して下がる。上述したように、この場合に保持容量 C_1 から容量 C_{fb} へと電流が流れ出す。電源供給線 V_1 の電位がトランジスタ Q_2 のゲート電位をオフにする電圧（閾値電圧 V_{th} ）を越えて下げられると、 C_1 からの電荷の流出は生じなくなる。この状態でトランジスタ Q_1 をオンにして、データ信号線（ $Data(m)$ ）に接続された電流計あるいは電荷計（図示せず）を用いて、保持容量 C_1 に蓄えられた電荷量を測定する。そして、保持容量 C_1 に供給した（または、書き込んだ）電荷量と、読み出された電荷量との差を各画素において求める。そして、この差が所定の範囲内であるか否かを判断することによって、画素の駆動回路の動作を確認することができる。

上記の第6の実施態様では、トランジスタ Q_2 の閾値電圧である V_{th} の値を1回の測定で求めることができる。従って、従来の回路と比較して、測定のスループットが高いというメリットを有する。ここで、図20を参照すると特許文献2では、データ保持用の保持容量 C_1 は別の線（ V_{sc} ）に接続されている。なお、この特許文献2では、図20に示すように、トランジスタ Tr_2 としてp型のトランジスタを使用していると思われるが、この Tr_2 は単にスイッチとして機能するだけなので、結局、このトランジスタ Tr_2 のオン状態またはオフの状態、つまりトランジスタ Tr_2 が正常または異常であるかまでしか判断できないと思われる。従って、本発明のトランジスタ Q_2 の閾値電圧 V_{th} を求めるためには、特許文献2では、

供給する電圧の値を変えて同様の測定を何回か繰り返す必要がある。なお、前記の特許文献3において、上記の容量に対応する容量が隣のゲート線に接続されているが、これをトランジスタ9106のゲート端子にフィードバックしても正常には動作しないことに留意されたい。

- 5 次に、本発明の第7の実施態様を説明する。第7の実施態様は、容量 C_t を用いた駆動回路の過渡応答判定方法に関するものである。ここで使用される回路を図15および図16に示す。図15の回路構成は図1Fに対応し、図9のダイオードを用いた回路構成とほぼ同じである。また、図16は、図15と比べると、容量 C_t の接続先がこの容量 C_t が属する表示素子のゲート線であるGate(n)に接続
- 10 されている点において異なる。このように、電極に接続された容量 C_t のもう一方の接続先としては、例えば、(1)その容量が属する表示素子以外の表示素子のゲート線や、(2)その容量が属する表示素子のゲート線であることが好ましい。その理由は、これらの線は、EL素子の駆動または制御のために画素近傍に必ず存在しており電圧変動を意図的に加えることができるものであるためである。しかしな
- 15 がら、電極に接続された容量 C_t のもう一方の接続先はこれらの例に限らず、他の配線、例えば、画素電極等に接続することも可能である。

このような回路構成において、過渡応答が起こっている間に、 I_s 線に接続された電流計等を介して過渡応答電流や容量に蓄えられた電荷量等を測定することにより、各画素における電極(ITO)の電圧 V_{ITO} の過渡応答を評価すること

20 ができる。

(第7の実施態様の動作説明)

(1) 容量 C_t をこの容量が属する表示素子以外の表示素子のゲート線に接続する場合

図17を参照して説明する。まず、自己のゲート線(Gate(n))を制御して、データ信号線(Data(m))から保持容量 C_1 に電荷を蓄えて、書き込み

25

およびデータ設定を行う。次に、隣のゲート線 (Gate (n+1)) に電圧を供給して容量C_tに電荷を蓄えさせる。所定の時間が経過して定常状態となると、ITO電極での電位はある一定値 (V_{dd}) となる。そして、隣のゲート線 (Gate (n+1)) の電圧を所定の電圧に下げて過渡応答を生じさせる。この過渡応答

5 が起こっている間に、電流供給配線 I_s (図15の I_s (m) に対応) に接続された電流計A1を用いて、検査対象の画素における過渡応答電流 (I_{I_s}) を測定する。これにより、各画素における画素駆動回路の電流駆動能力を評価することができる。なお、本実施態様では、図17に示すトランジスタQ1およびQ2としてp型のものを使用している。

10 (2) 容量C_tをこの容量が属する表示素子のゲート線に接続する場合

図18を参照して説明する。この場合は、自己の表示素子のゲート線 (Gate (n)) の電圧を変動させることにより、(1)と同様に過渡応答を発生させるものである。そして、この過渡応答が収まるまでに、電流供給配線 I_s (図16の I_s (m) に対応) に接続された電流計を用いてこのときの過渡応答電流を測定する。

15 ここで、自己のゲート線に容量C_tを接続する場合には、図18では、トランジスタQ1にn型のもの (Q1_n) を、トランジスタQ2にp型のもの (Q2_p) を使用しており、図19では、トランジスタQ1およびQ2にn型のもの (Q1_n およびQ2_n) を使用している。

ここでは、まず、図18の場合について説明する。最初に、自己のゲート線 (Gate (n)) の電圧を制御してトランジスタQ1をオンにしてC_tに電荷を蓄えておく。そして、所定の時間が経過して、電極 (ITO電極) での電圧 (V_{ITO}) が定常状態となってから、自己のゲート線 (Gate (n)) の電圧を所定の電圧に下げる。そして、上記の場合と同様に、電流供給配線 I_s に接続された電流計を用いて容量C_tに蓄えられた電荷の過渡応答 (I_{I_s}) を測定することが

20

25 できる。ここで、この所定の電圧は過渡応答を生じる程度の電位差をもたらすもので

ある必要がある。

次に、図19を参照して、トランジスタQ1およびQ2にn型のものを用いた場合を説明する。まず、自己のゲート線(Gate(n))の電圧を制御してトランジスタQ1をオンにして容量Ctに電荷を蓄える。所定の時間が経過して電極での電圧(V_{ITO})が定常状態となつてから、自己のデータ信号線(Data(m))の電圧を所定の電圧に上げる。そして、所定の時間が経過してから、自己のゲート線(Gate(n))の電圧を所定の電圧に下げる。そして、上記に説明したように、電流供給配線Isに接続された電流計を用いて、容量Ctに蓄えられた電荷の過渡応答等(I_{Is})を測定することができる。

10 なお、上記の実施対応においては、過渡応答電流の測定を通じて、電流駆動能力の評価まで行えるというメリットを有する。ここで、上記の動作は、特許文献2の回路では実行できないことに留意されたい。

15 以上の実施態様で記載した各種の電極への付加素子は、実際には、駆動回路を評価する場合にはオンになるが、製品として使用される場合にはオフになるものが好ましい。EL素子を発光または駆動するだけの電力が電極に十分に供給できなくなるおそれがあるためである。また、新たな配線を追加するよりも、できれば、既に存在している配線に接続することが好ましい。配線数の増加を回避することができるためである。

20 上記に説明してきた各図には、オン／オフ切り換え用のスイッチが記載されているが、本発明では、このようなスイッチは必須な構成要素ではないことに留意されたい。それは、例えば、スイッチを設けるかわりに、配線を増加して各画素を分離することによっても、測定の分解能の向上や並列処理を図ることができるためである。同様に、周辺回路についても、本発明の評価には特に必須な要素ではないことに留意されたい。

25 なお、上記の実施例において、ITO(Indium Tin Oxide)は、有機EL素子の

駆動用の電極として使用されている。このITOは、可視光領域において透明な光学特性を有しており、バックライトを必要とする液晶ディスプレイ（LCD）においては透明性を有する電極として使用されるものである。しかしながら、有機EL素子は自ら発光するため、本発明で使用するITOは、有機EL素子の画素駆動用の電極として使用されるものであり、特にこれにのみ限定されるものではない。例えば、ITOの代わりに導電性を有する金属等を用いることもできる。また、有機EL素子の陰極としてITOを用いることができることにも留意されたい。

以上より、本発明によれば、有機EL素子の駆動回路の直流電流特性や過渡応答特性等の評価を特殊な装置を用いることなく行うことができる。このため、実際の使用状態に即した評価を高精度に安価に行うことができる。

また、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

請 求 の 範 囲

1. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電

5 極と、

該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の

10 電圧で規定している第2のトランジスタと、

前記電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記データ保持用信号配線から供給される電圧信号を保持するための保持容量と、

15 前記電極と、前記表示素子とは別の表示素子用のゲート信号配線とにそのソースとドレインが接続され、前記第1のトランジスタから前記電極に流れる電流を、該別の表示素子用のゲート信号配線へと導くようにそのゲートが制御される第3のトランジスタと

を含んでなるアクティブマトリクス型の表示装置。

20 2. 前記第3のトランジスタのゲートは、前記表示素子とは別の表示素子用の第2の電流源配線に接続され、それにより、該ゲートをオン状態またはオフ状態に制御する請求項1に記載の表示装置。

3. 前記第3のトランジスタのゲートは、前記別の表示素子用のゲート信号配線に接続され、それにより、該ゲートをオン状態またはオフ状態に制御する請求項1に記載の表示装置。

25 4. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

- 5 該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、

- 10 前記電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記データ保持用信号配線から供給される電圧信号を保持するための保持容量と、

- 15 前記電極と前記ゲート信号配線とにそのソースとドレインが接続され、前記表示素子とは別の表示素子用のゲート信号配線の電位を変更してそのゲートをオン状態またはオフ状態にすることにより、前記第1のトランジスタから前記電極に流れる電流を前記ゲート信号配線へと導く第3のトランジスタと
- 15 を含んでなるアクティブマトリクス型の表示装置。

5. 前記表示素子が、有機EL素子である請求項1から4のいずれかに記載の表示装置。

6. 前記第3のトランジスタのゲートが、別途設けた電源供給配線に接続されている請求項1から5のいずれかに記載の表示装置。

- 20 7. 前記第3のトランジスタのドレインがさらに別途設けた電流放出配線に接続されている請求項6に記載の表示装置。

8. 前記第3のトランジスタがp型のものである請求項1から7のいずれかに記載の表示装置。

- 25 9. 前記第3のトランジスタからの配線が、表示装置が稼動状態にあるときに、2つ以上の前記表示素子を同時に制御する周辺回路に接続されており、前記第3の

トランジスタが該周辺回路を介して順次切り換えられる請求項 1 から 8 のいずれかに記載の表示装置。

10. 前記請求項 1 から 9 のいずれかのアクティブマトリクス型の表示装置の各表示素子を検査する方法であって、

- 5 前記第 2 のトランジスタのゲート電圧を制御して前記保持容量へと電荷を貯めるステップと、

検査対象の表示素子とは別の表示素子用の第 1 の配線の電位を変えて、前記第 3 のトランジスタのゲートを制御するステップと、

- 10 検査対象の表示素子用の前記第 1 の電流源配線に接続されている測定器を用いて、前記第 3 のトランジスタを介して前記電極から流れる電流または電荷量を測定するステップと

を含んでなる表示装置の検査方法。

11. 基板と、

- 15 該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第 1 のトランジスタと、

- 20 該第 1 のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第 1 のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第 2 のトランジスタと、

前記電流源配線と前記第 1 のトランジスタのゲートとにそれぞれ接続され、前記第 2 のトランジスタがオン状態の間に、前記第 2 のトランジスタを介して前記データ保持用信号配線から供給される信号を保持するための保持容量と、

- 25 前記電極と前記表示素子とは別の表示素子用のゲート信号配線とに接続されたダイオードと

を含んでなる表示装置。

1 2. 前記表示素子が、有機EL素子である請求項11に記載の表示装置。

1 3. 前記ダイオードが、別途設けた電流放出配線に接続されている請求項11または12に記載の表示装置。

5 1 4. 前記請求項10から13のいずれかのアクティブマトリクス型の表示装置の各画素を検査する方法であって、

前記第2のトランジスタのゲートを制御して前記保持容量に電荷を貯めるステップと、

10 検査対象の表示素子とは別の表示素子用の第1配線の電位を変えて、該検査対象の表示素子とは別の表示素子用の第2配線に接続されている測定器を用いて、前記ダイオードを介して前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法。

1 5. アクティブマトリクス型の表示装置であって、該表示装置を構成する画素のそれぞれが、

15 前記画素の表示素子へと接続される電極と、

該電極と前記画素用の第1の配線とにそれぞれ接続される第1のトランジスタと、

該第1のトランジスタのゲートと電圧信号を与えるためのデータ保持用信号配線とにそれぞれ接続される第2のトランジスタと、

20 前記第1のトランジスタのゲートと前記画素用の第2の配線とにそれぞれ接続される保持容量と、

前記第1のトランジスタから前記電極に流れる電流によって電荷の蓄積を受けると、前記電極と前記第1のトランジスタのゲートとに接続される負荷容量とを含んでなる表示装置。

25 1 6. 前記表示素子が、有機EL素子である請求項12に記載の表示装置。

17. 前記請求項15または16のアクティブマトリクス型の表示装置の各画素を検査する方法であって、

第1の電圧を前記第1のトランジスタに供給するステップと、

5 前記第2のトランジスタのゲートに接続されたゲート信号配線を制御し、前記第2のトランジスタを一旦オンにしてオフにすることで、前記データ保持用信号配線の電圧を前記第1のトランジスタのゲートに与え、前記保持容量と前記負荷容量とに電荷を蓄積するステップと、

前記第2のトランジスタをオンにして、前記データ保持用信号配線に接続された電荷測定器を用いて、前記保持容量に蓄えられた電荷量を測定するステップと、

10 該測定された電荷量と、前記第1の電圧を供給したときの電荷量との差を各画素において求めるステップと、

前記差が所定の範囲内にあるかを判断するステップと
を含んでなる表示装置の検査方法。

18. 前記第1の電圧を減少させるステップにおいて、前記第1の電圧は、前記電荷を蓄積するステップでの前記電極の電圧よりも低い所定の電圧まで減少させる請求項17に記載の方法。

19. 前記第1の電圧を前記第1のトランジスタに供給するステップの前に、前記保持容量に蓄えられている電荷量を予めリセットしておくステップをさらに含む請求項17または18に記載の方法。

20 20. 前記第1の電圧を減少させるステップにおいて、前記第1の電圧は、前記第1のトランジスタの閾値電圧によって前記第1のトランジスタがオフになるまで減少させる請求項17に記載の方法。

21. 基板と、

25 該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と電流源配線とにそれぞれ接続される第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、
そのゲートにゲート信号配線が接続されている第2のトランジスタと、

前記第1のトランジスタのゲートと前記電流源用配線とにそれぞれ接続される
5 保持容量と、

前記第1のトランジスタがオンのときに流れる電流によって電荷の蓄積を受け
るように、前記電極とは別の表示素子の第2のトランジスタのゲートに接続されて
いる配線とに接続される負荷容量と
を含んでなるアクティブマトリクス型の表示装置。

10 22. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電
極と、

該電極と電流源配線とにそれぞれ接続される第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、
15 そのゲートにゲート信号配線が接続されている第2のトランジスタと、

前記第1のトランジスタのゲートと前記電流源配線とにそれぞれ接続される保
持容量と、

前記第1のトランジスタがオンのときに流れる電流によって電荷の蓄積を受け
るように、前記電極と、同じ表示素子の第2のトランジスタのゲートとに接続され
20 て、前記ゲート信号配線に接続される負荷容量と
を含んでなるアクティブマトリクス型の表示装置。

23. 前記表示素子が、有機EL素子である請求項21または22に記載の表
示装置。

24. 前記請求項21から23のいずれかのアクティブマトリクス型の表示装
25 置の各表示素子を検査する方法であって、

前記第2のトランジスタのゲートを制御して、前記保持容量に電荷を貯めるステップと、

- 5 検査対象の表示素子とは別の表示素子用のゲート信号配線の電位を変えて、該検査対象の表示素子の電流源配線に接続されている測定器を用いて、前記電極から流れる電流または電荷量を測定するステップと
- を含んでなる表示装置の検査方法。

25. 請求項1から請求項9、請求項11から請求項13、請求項15から請求項16、または請求項21から請求項23のいずれかに記載のアクティブマトリクス型の表示装置であって、前記別の表示素子が、前記検査対象の表示素子に隣接
- 10 するものである、アクティブマトリクス型の表示装置。

26. 請求項10、14、17、18、19、20、24のいずれかに記載のアクティブマトリクス型の表示装置の検査方法であって、前記別の表示素子が、前記検査対象の表示素子に隣接するものである、アクティブマトリクス型の表示装置の検査方法。

- 15 27. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

- 20 該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、

- そのドレインが前記電極に接続され、そのソースおよびそのゲートが前記表示素子用のゲート信号配線に接続され、前記第1のトランジスタから前記電極に流れる
- 25 電流を、前記表示素子用のゲート信号配線へと導く第3のトランジスタと

を含んでなるアクティブマトリクス型の表示装置。

28. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

5 該電極と電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、

10 前記電極と、前記表示素子用のゲート信号配線とに接続されたダイオードとを含んでなる、アクティブマトリクス型の表示装置。

29. 上記の請求項27または28に記載の表示装置の各表示素子を検査する方法であって、

検査対象の表示素子用のゲート信号配線の電位を変えて、前記第2のトランジスタのゲート電圧を制御して、前記第1のトランジスタのゲートに前記データ保持用信号配線で規定される電圧を供給するとともに、前記第3のトランジスタのゲートまたは前記ダイオードを制御するステップと、

該ゲート信号配線または前記第1の電流源配線に接続されている測定器を用いて、前記第3のトランジスタまたは前記ダイオードを介して前記電極から流れる電流または電荷量を測定するステップと
20 を含んでなる表示装置の検査方法。

30. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

25 該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態または

オフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、
該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の
電圧で規定している第2のトランジスタと、

- 5 前記電極と、前記表示素子とは別の表示素子用のゲート配線とにそのゲートとド
レインとが接続され、前記第1のトランジスタから前記電極に流れる電流を、該別
の表示素子用のゲート信号配線へと導くようにそのゲートが制御される第3のト
ランジスタと

を含んでなる、アクティブマトリクス型の表示装置。

- 10 31. 前記第3のトランジスタのゲートは、前記表示素子用のゲート配線に接
続され、それにより、該ゲートをオン状態またはオフ状態に制御する請求項30に
記載の表示装置。

32. 上記の請求項30または31に記載の表示装置の各表示素子を検査する
方法であって、

- 15 検査対象の表示素子用のゲート信号配線の電位を変えて、前記第2のトランジス
タのゲート電圧を制御して、前記第1のトランジスタのゲートに前記データ保持用
信号配線で規定される電圧を供給するとともに、前記第3のトランジスタのゲート
を制御するステップと、

検査対象の表示画素用の前記第1の電流源配線または前記検査対象の表示素子

- 20 とは別の表示素子用のゲート信号配線に接続されている測定器を用いて、前記第3
のトランジスタを介して前記電極から流れる電流を測定するステップと
を含んでなる表示装置の検査方法。

補正書の請求の範囲

[2004年4月19日(19.04.04)国際事務局受理 : 出願当初の請求の範囲
6-10、13、14、16、17、23、30及び31は補正された; 出願当初の
請求の範囲26は取り下げられた。他の請求の範囲は変更なし。(11頁)]

1. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電

5 極と、

該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態または
オフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、
該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の

10 電圧で規定している第2のトランジスタと、

前記電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記
第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記デー
タ保持用信号配線から供給される電圧信号を保持するための保持容量と、

15 前記電極と、前記表示素子とは別の表示素子用のゲート信号配線とにそのソース
とドレインが接続され、前記第1のトランジスタから前記電極に流れる電流を、該
別の表示素子用のゲート信号配線へと導くようにそのゲートが制御される第3の
トランジスタと

を含んでなるアクティブマトリクス型の表示装置。

20 2. 前記第3のトランジスタのゲートは、前記表示素子とは別の表示素子用の
第2の電流源配線に接続され、それにより、該ゲートをオン状態またはオフ状態に
制御する請求項1に記載の表示装置。

3. 前記第3のトランジスタのゲートは、前記別の表示素子用のゲート信号配
線に接続され、それにより、該ゲートをオン状態またはオフ状態に制御する請求項
1に記載の表示装置。

25 4. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と第 1 の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第 1 のトランジスタと、

- 5 該第 1 のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第 1 のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第 2 のトランジスタと、

- 10 前記電流源配線と前記第 1 のトランジスタのゲートとにそれぞれ接続され、前記第 2 のトランジスタがオン状態の間に、前記第 2 のトランジスタを介して前記データ保持用信号配線から供給される電圧信号を保持するための保持容量と、

- 15 前記電極と前記ゲート信号配線とにそのソースとドレインが接続され、前記表示素子とは別の表示素子用のゲート信号配線の電位を変更してそのゲートをオン状態またはオフ状態にすることにより、前記第 1 のトランジスタから前記電極に流れる電流を前記ゲート信号配線へと導く第 3 のトランジスタと
20 を含んでなるアクティブマトリクス型の表示装置。

5. 前記表示素子が、有機 EL 素子である請求項 1 から 4 のいずれかに記載の表示装置。

6. (補正後) 前記第 3 のトランジスタのゲートが、別途設けた電源供給配線に接続されている請求項 1 から 4 のいずれかに記載の表示装置。

- 20 7. (補正後) 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と第 1 の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第 1 のトランジスタと、

- 25 該第 1 のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、

該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、

前記電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記データ保持用信号配線から供給される電圧信号を保持するための保持容量と、

前記電極と、別途設けた電源供給線とにそのソースとドレインが接続され、前記第1のトランジスタから前記電極に流れる電流を、該別途設けた電源供給線へと導くようにそのゲートが制御される第3のトランジスタとを含んでなるアクティブマトリクス型の表示装置。

10 8. (補正後) 前記第3のトランジスタがp型のものである請求項1から4又は7のいずれかに記載の表示装置。

9. (補正後) 前記第3のトランジスタからの配線が、表示装置が稼動状態にあるときに、2つ以上の前記表示素子を同時に制御する周辺回路に接続されており、前記第3のトランジスタが該周辺回路を介して順次切り換えられる請求項1から
15 4又は7のいずれかに記載の表示装置。

10. (補正後) 前記請求項1から4又は7のいずれかのアクティブマトリクス型の表示装置の各表示素子を検査する方法であって、

前記第2のトランジスタのゲート電圧を制御して前記保持容量へと電荷を貯めるステップと、

20 検査対象の表示素子とは別の表示素子用の第1の配線の電位を変えて、前記第3のトランジスタのゲートを制御するステップと、

検査対象の表示素子用の前記第1の電流源配線に接続されている測定器を用いて、前記第3のトランジスタを介して前記電極から流れる電流または電荷量を測定するステップと

25 を含んでなる表示装置の検査方法。

1 1. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、

前記電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記データ保持用信号配線から供給される信号を保持するための保持容量と、

前記電極と前記表示素子とは別の表示素子用のゲート信号配線とに接続されたダイオードとを含んでなる表示装置。

1 2. 前記表示素子が、有機EL素子である請求項11に記載の表示装置。

1 3. (補正後) 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、

前記電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して前記デー

タ保持用信号配線から供給される信号を保持するための保持容量と、
前記電極と、別途設けた電流放出線とに接続されたダイオードと
を含んでなる表示装置。

1 4. (補正後) 前記請求項 1 1 または 1 3 のいずれかのアクティブマトリクス型の表示装置の各画素を検査する方法であって、

前記第 2 のトランジスタのゲートを制御して前記保持容量に電荷を貯めるステップと、

検査対象の表示素子とは別の表示素子用の第 1 配線の電位を変えて、該検査対象の表示素子とは別の表示素子用の第 2 配線に接続されている測定器を用いて、前記
10 ダイオードを介して前記電極から流れる電流または電荷量を測定するステップと
を含んでなる表示装置の検査方法。

1 5. アクティブマトリクス型の表示装置であって、該表示装置を構成する画素のそれぞれが、

前記画素の表示素子へと接続される電極と、
15 該電極と前記画素用の第 1 の配線とにそれぞれ接続される第 1 のトランジスタと、

該第 1 のトランジスタのゲートと電圧信号を与えるためのデータ保持用信号配線とにそれぞれ接続される第 2 のトランジスタと、

前記第 1 のトランジスタのゲートと前記画素用の第 2 の配線とにそれぞれ接続
20 される保持容量と、

前記第 1 のトランジスタから前記電極に流れる電流によって電荷の蓄積を受け
るように、前記電極と前記第 1 のトランジスタのゲートとに接続される負荷容量と
を含んでなる表示装置。

1 6. (補正後) 前記表示素子が、有機 EL 素子である請求項 1 5 に記載の表
25 示装置。

17. (補正後) 前記請求項15のアクティブマトリクス型の表示装置の各画素を検査する方法であって、

第1の電圧を前記第1のトランジスタに供給するステップと、

前記第2のトランジスタのゲートに接続されたゲート信号配線を制御し、前記第2のトランジスタを一旦オンにしてオフにすることで、前記データ保持用信号配線の電圧を前記第1のトランジスタのゲートに与え、前記保持容量と前記負荷容量とに電荷を蓄積するステップと、

前記第1の電圧を所定の電圧まで減少させるステップと、

前記第2のトランジスタをオンにして、前記データ保持用信号配線に接続された電荷測定器を用いて、前記保持容量に蓄えられた電荷量を測定するステップとを含んでなる表示装置の検査方法。

18. 前記第1の電圧を減少させるステップにおいて、前記第1の電圧は、前記電荷を蓄積するステップでの前記電極の電圧よりも低い所定の電圧まで減少させる請求項17に記載の方法。

19. 前記第1の電圧を前記第1のトランジスタに供給するステップの前に、前記保持容量に蓄えられている電荷量を予めリセットしておくステップをさらに含む請求項17または18に記載の方法。

20. 前記第1の電圧を減少させるステップにおいて、前記第1の電圧は、前記第1のトランジスタの閾値電圧によって前記第1のトランジスタがオフになるまで減少させる請求項17に記載の方法。

21. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と電流源配線とにそれぞれ接続される第1のトランジスタと、

25 該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、

そのゲートにゲート信号配線が接続されている第2のトランジスタと、

前記第1のトランジスタのゲートと前記電流源用配線とにそれぞれ接続される保持容量と、

前記第1のトランジスタがオンのときに流れる電流によって電荷の蓄積を受け
5 るように、前記電極とは別の表示素子の第2のトランジスタのゲートに接続されて
いる配線とに接続される負荷容量と
を含んでなるアクティブマトリクス型の表示装置。

22. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電
10 極と、

該電極と電流源配線とにそれぞれ接続される第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、
そのゲートにゲート信号配線が接続されている第2のトランジスタと、

前記第1のトランジスタのゲートと前記電流源配線とにそれぞれ接続される保
15 持容量と、

前記第1のトランジスタがオンのときに流れる電流によって電荷の蓄積を受け
るように、前記電極と、同じ表示素子の第2のトランジスタのゲートとに接続され
て、前記ゲート信号配線に接続される負荷容量と
を含んでなるアクティブマトリクス型の表示装置。

20 23. (補正後) 前記表示素子が、有機EL素子である請求項22に記載の表
示装置。

24. 前記請求項22のアクティブマトリクス型の表示装置の各表示素子を検
査する方法であって、

前記第2のトランジスタのゲートを制御して、前記保持容量に電荷を貯めるステ
25 ップと、

検査対象の表示素子とは別の表示素子用のゲート信号配線の電位を変えて、該検査対象の表示素子の電流源配線に接続されている測定器を用いて、前記電極から流れる電流または電荷量を測定するステップと
を含んでなる表示装置の検査方法。

- 5 25. 請求項1から4、7、11、13、15、21、22のいずれかに記載のアクティブマトリクス型の表示装置であって、前記別の表示素子が、前記検査対象の表示素子に隣接するものである、アクティブマトリクス型の表示装置。

26. (削除)

27. 基板と、

- 10 該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、

- 15 該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、

そのドレインが前記電極に接続され、そのソースおよびそのゲートが前記表示素子用のゲート信号配線に接続され、前記第1のトランジスタから前記電極に流れる電流を、前記表示素子用のゲート信号配線へと導く第3のトランジスタと

- 20 を含んでなるアクティブマトリクス型の表示装置。

28. 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

- 25 該電極と電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第 1 のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、
該第 1 のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の
電圧で規定している第 2 のトランジスタと、

- 前記電極と、前記表示素子用のゲート信号配線とに接続されたダイオードと
5 を含んでなる、アクティブマトリクス型の表示装置。

29. 上記の請求項 27 または 28 に記載の表示装置の各表示素子を検査する
方法であって、

- 検査対象の表示素子用のゲート信号配線の電位を変えて、前記第 2 のトランジス
タのゲート電圧を制御して、前記第 1 のトランジスタのゲートに前記データ保持用
10 信号配線で規定される電圧を供給するとともに、前記第 3 のトランジスタのゲート
または前記ダイオードを制御するステップと、

- 該ゲート信号配線または前記第 1 の電流源配線に接続されている測定器を用い
て、前記第 3 のトランジスタまたは前記ダイオードを介して前記電極から流れる電
流または電荷量を測定するステップと
15 を含んでなる表示装置の検査方法。

30. (補正後) 基板と、

該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電
極と、

- 該電極と第 1 の電流源配線とにそれぞれ接続され、該表示素子のオン状態または
20 オフ状態をそのゲートに加えられる電圧で規定している第 1 のトランジスタと、

該第 1 のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、
該第 1 のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の
電圧で規定している第 2 のトランジスタと、

- 前記電極とに接続され、さらに前記表示素子とは別の表示素子用のゲート配線と
25 にそのゲートとドレインとが接続され、前記第 1 のトランジスタから前記電極に流

れる電流を、該別の表示素子用のゲート信号配線へと導くようにそのゲートが制御される第3のトランジスタと
を含んでなる、アクティブマトリクス型の表示装置。

31. (補正後) 基板と、

5 該基板上に設けられる複数の画素の各々を構成する表示素子を設けるための電極と、

該電極と第1の電流源配線とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタと、

該第1のトランジスタのゲートとデータ保持用信号配線とにそれぞれ接続され、
10 該第1のトランジスタのゲート電圧を、そのゲートに接続されるゲート信号配線の電圧で規定している第2のトランジスタと、

前記電極と接続され、さらに前記表示素子とは別の表示素子用のゲート配線と前記表示素子用のゲート配線とにそのゲートとドレインとが接続され、前記第1のトランジスタから前記電極に流れる電流を、該表示素子用のゲート信号配線へと導く
15 ようにそのゲートが制御される第3のトランジスタと
を含んでなる、アクティブマトリクス型の表示装置。

32. 上記の請求項30または31に記載の表示装置の各表示素子を検査する方法であって、

検査対象の表示素子用のゲート信号配線の電位を変えて、前記第2のトランジスタのゲート電圧を制御して、前記第1のトランジスタのゲートに前記データ保持用
20 信号配線で規定される電圧を供給するとともに、前記第3のトランジスタのゲートを制御するステップと、

検査対象の表示画素用の前記第1の電流源配線または前記検査対象の表示素子とは別の表示素子用のゲート信号配線に接続されている測定器を用いて、前記第3
25 のトランジスタを介して前記電極から流れる電流を測定するステップと

を含んでなる表示装置の検査方法。

FIG.1

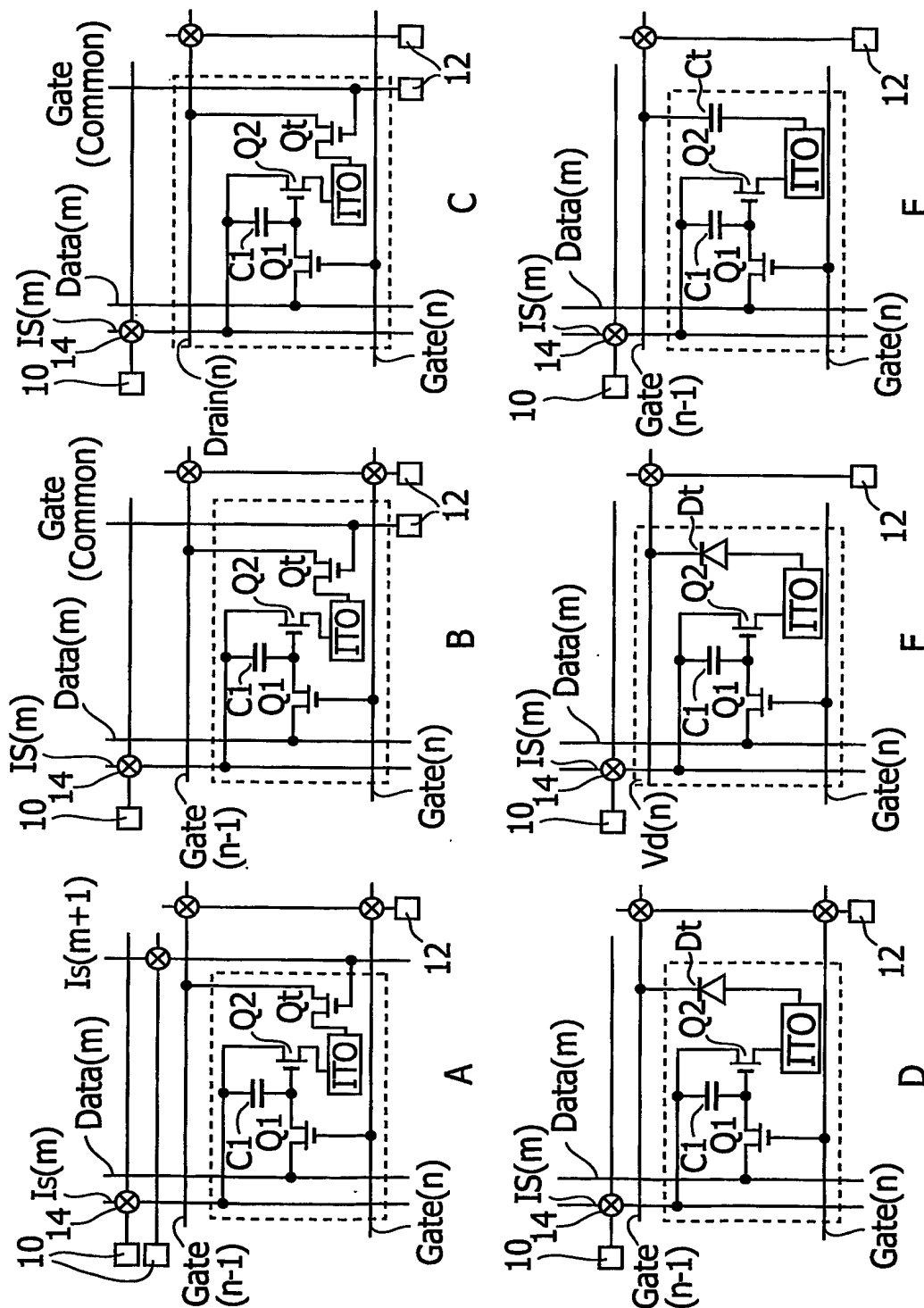


FIG.2

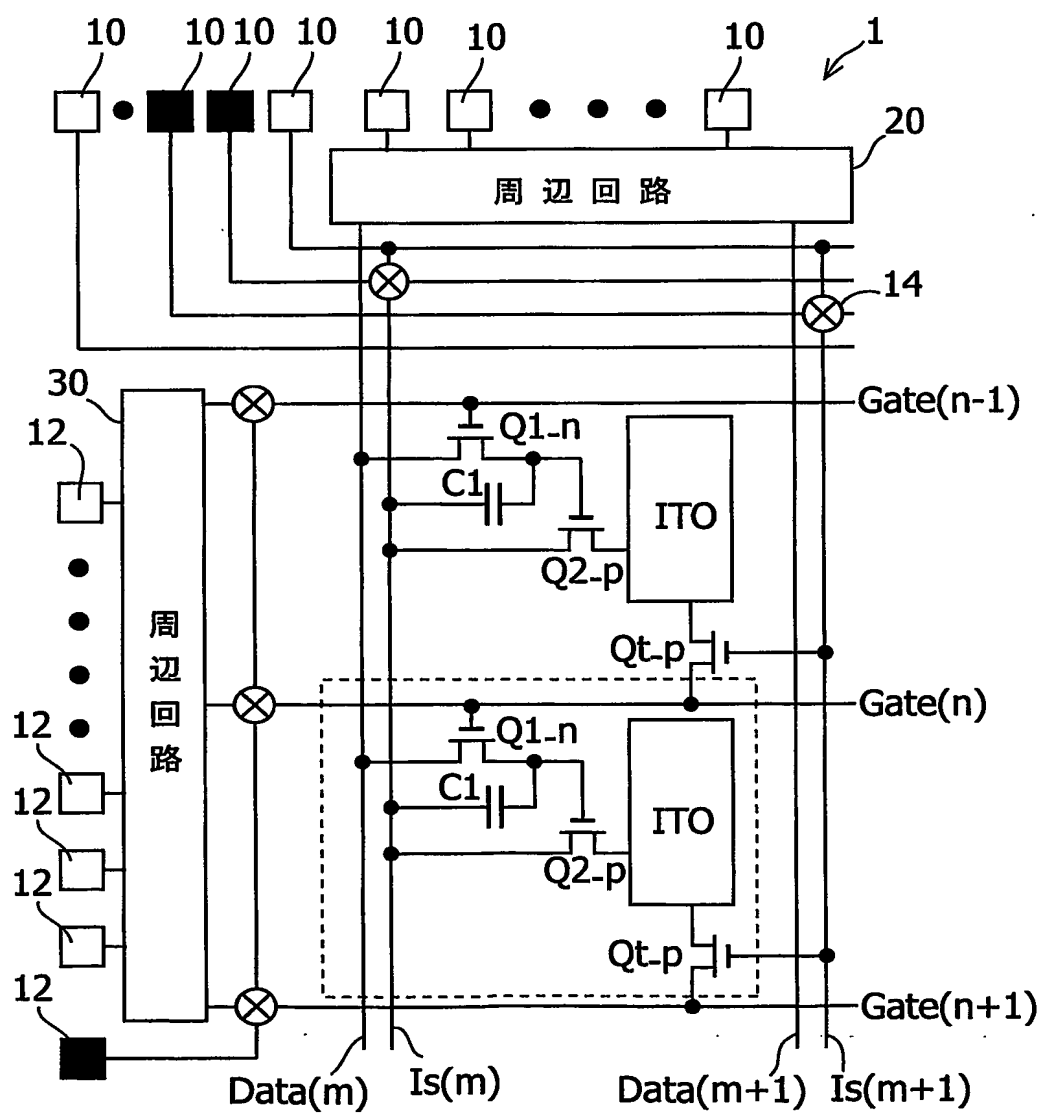


FIG.3

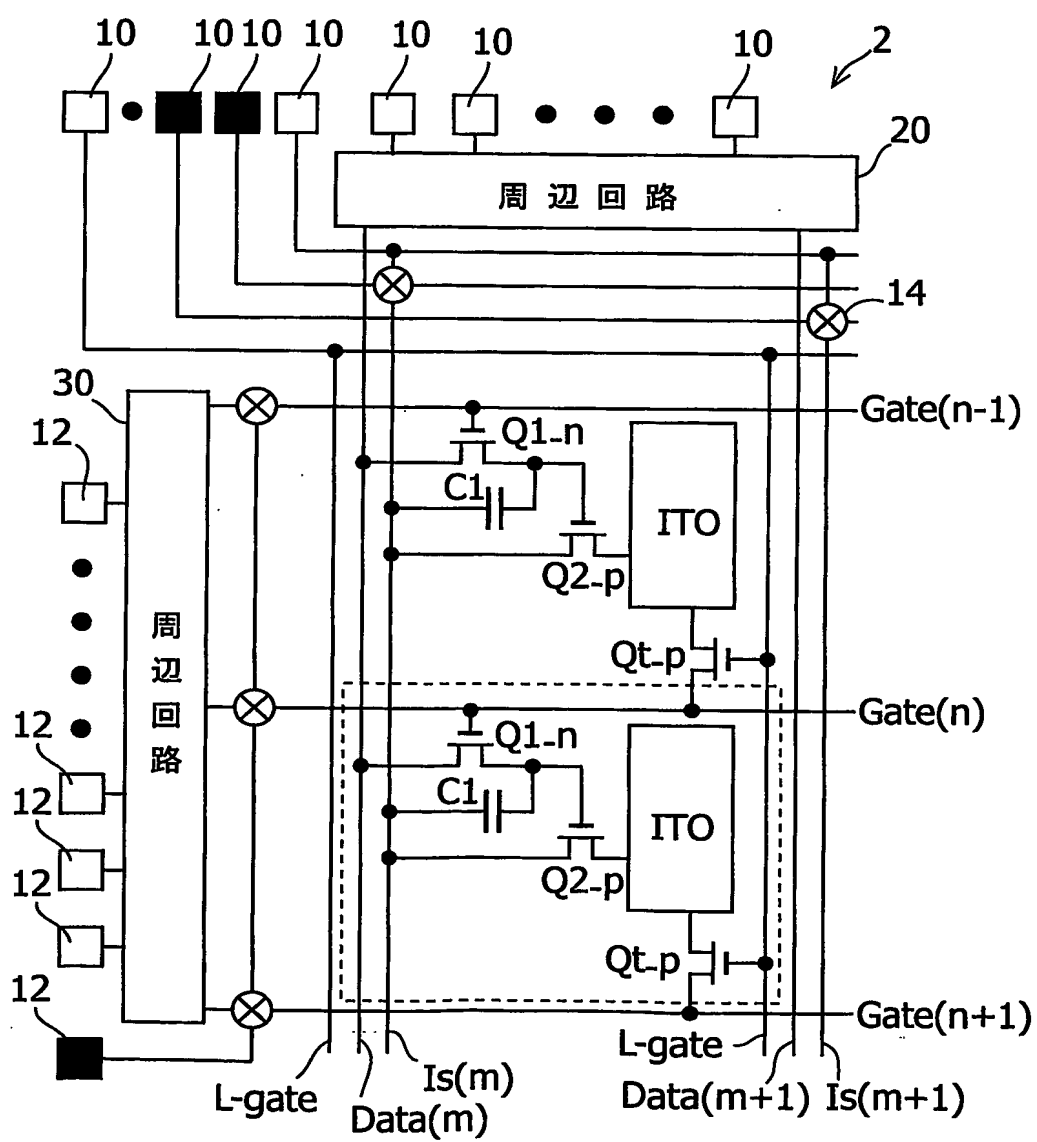
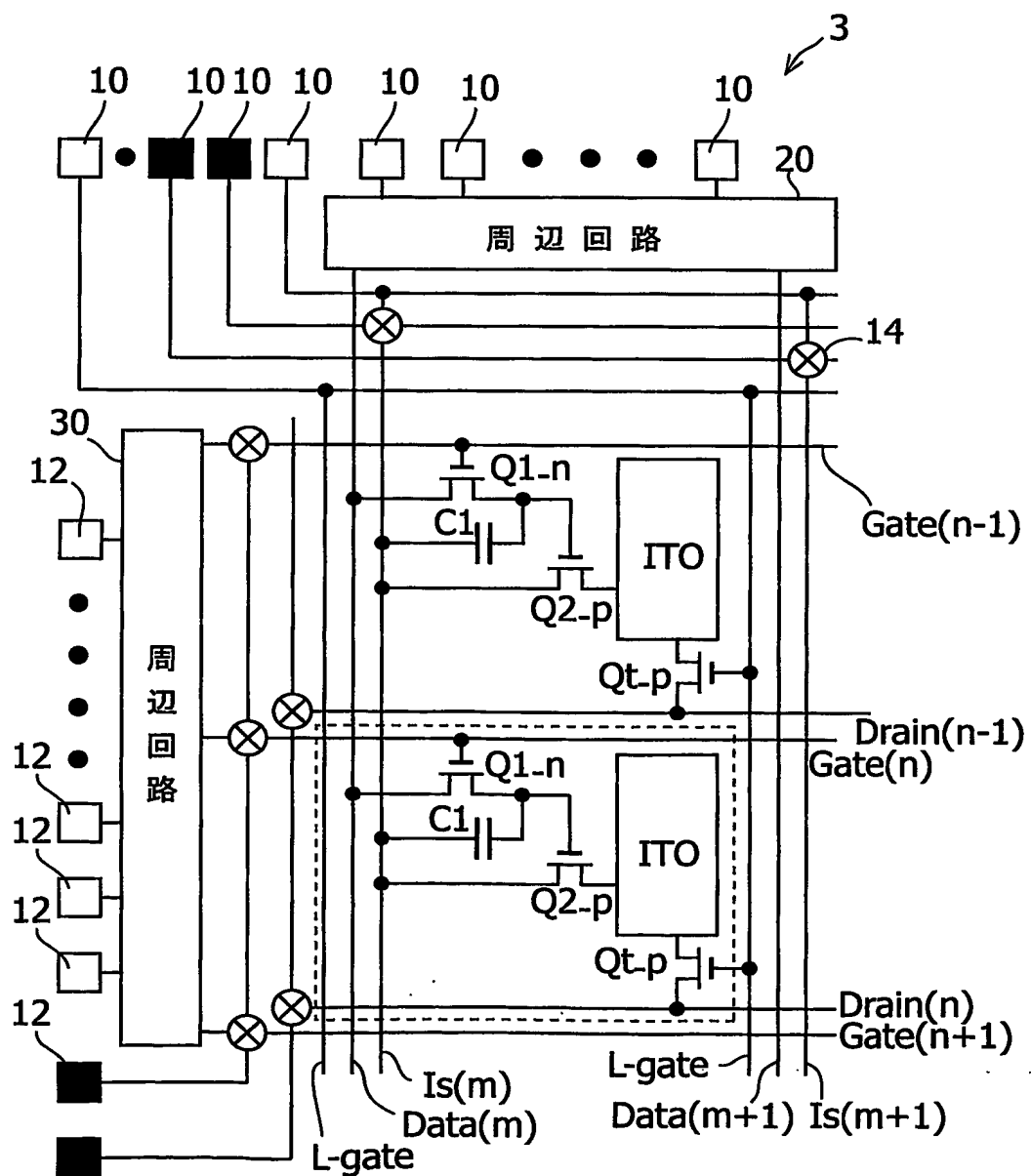
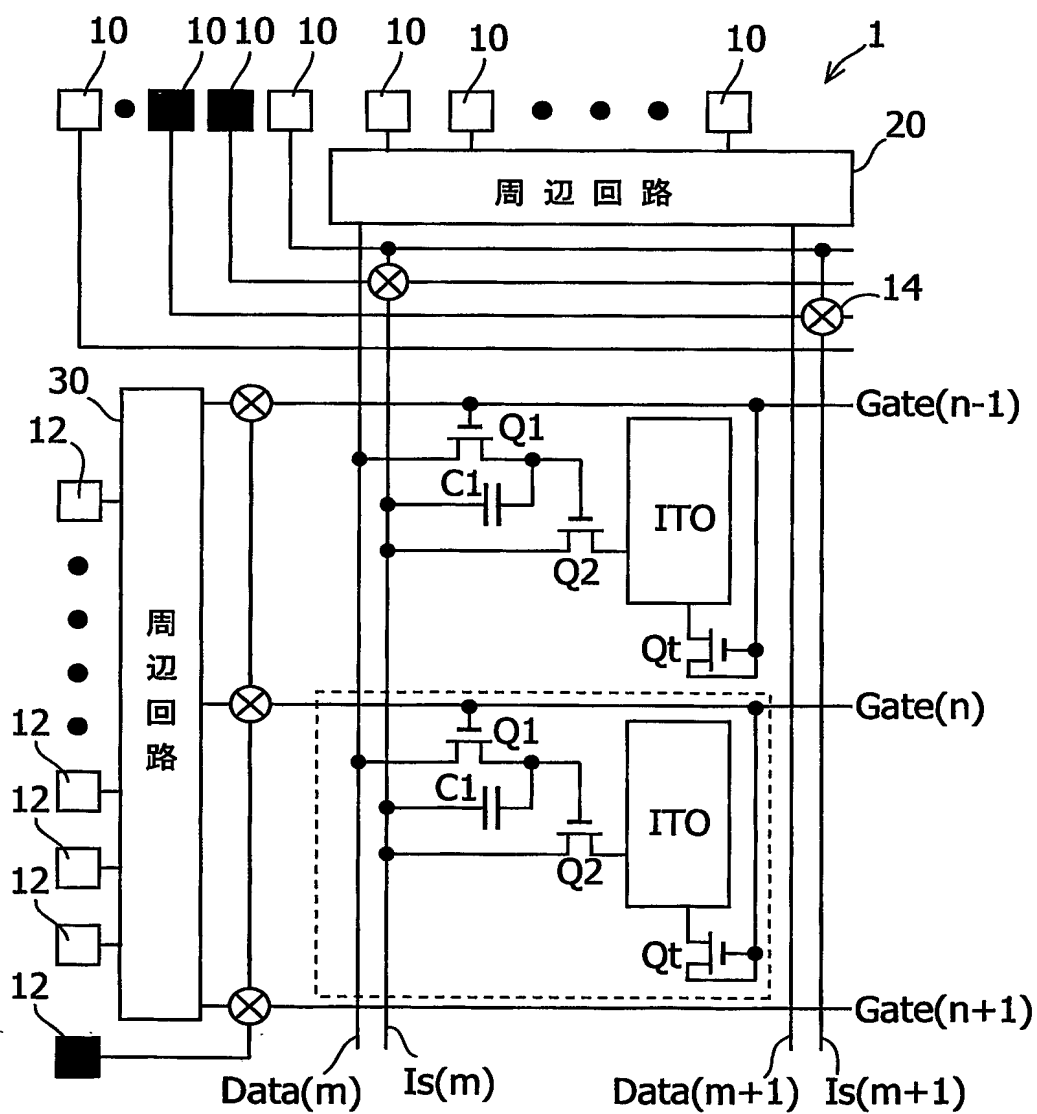


FIG.4



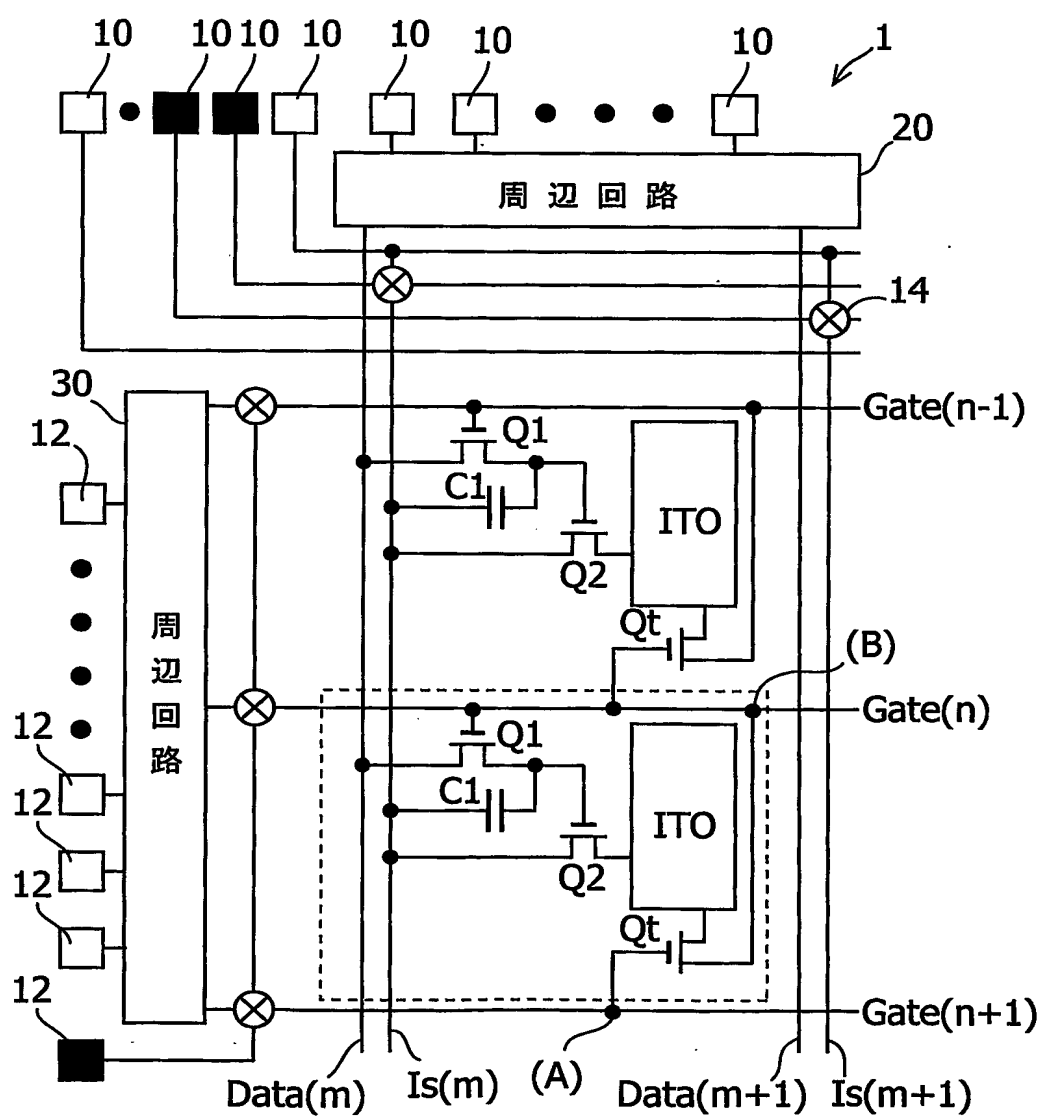
6/21

FIG.6



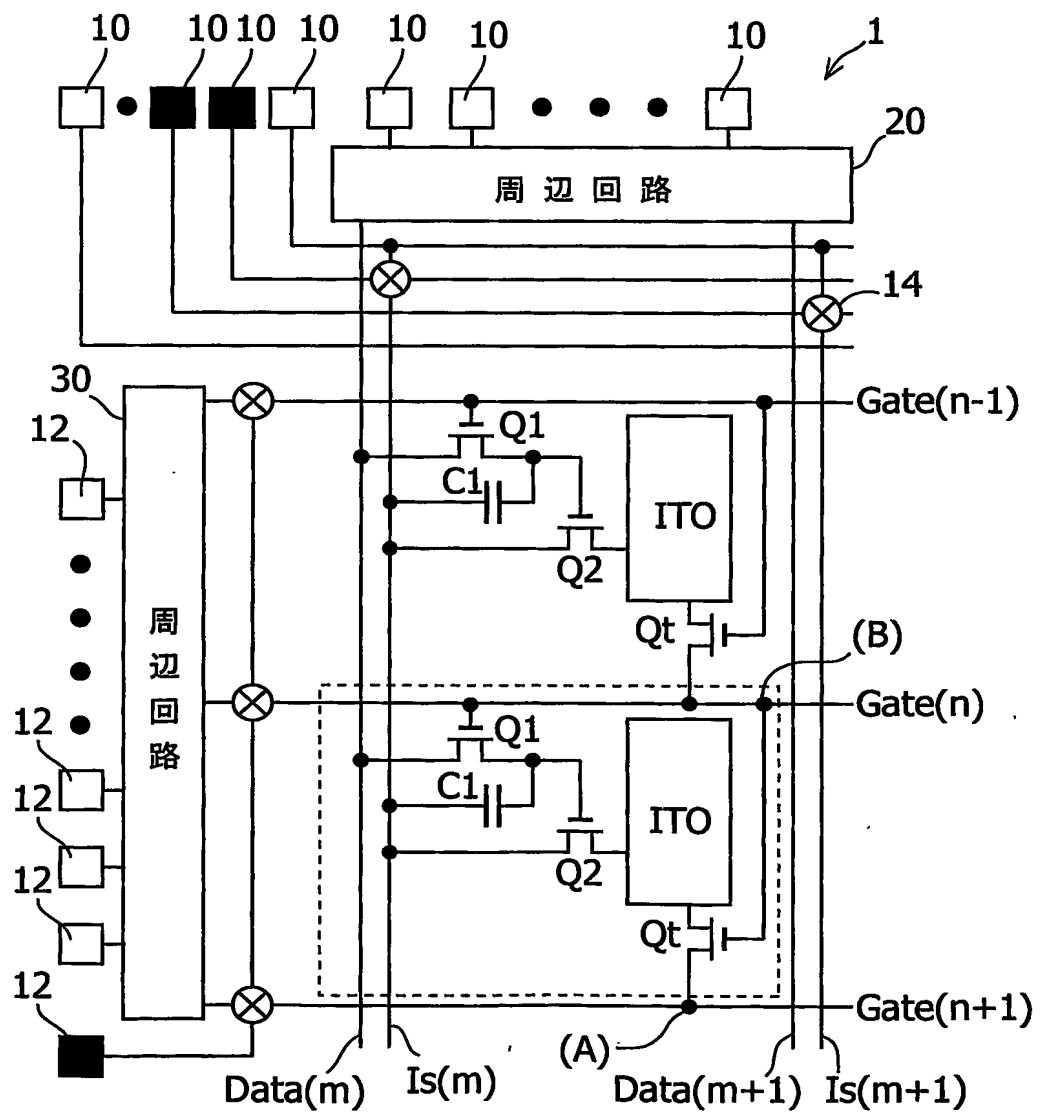
7/21

FIG.7



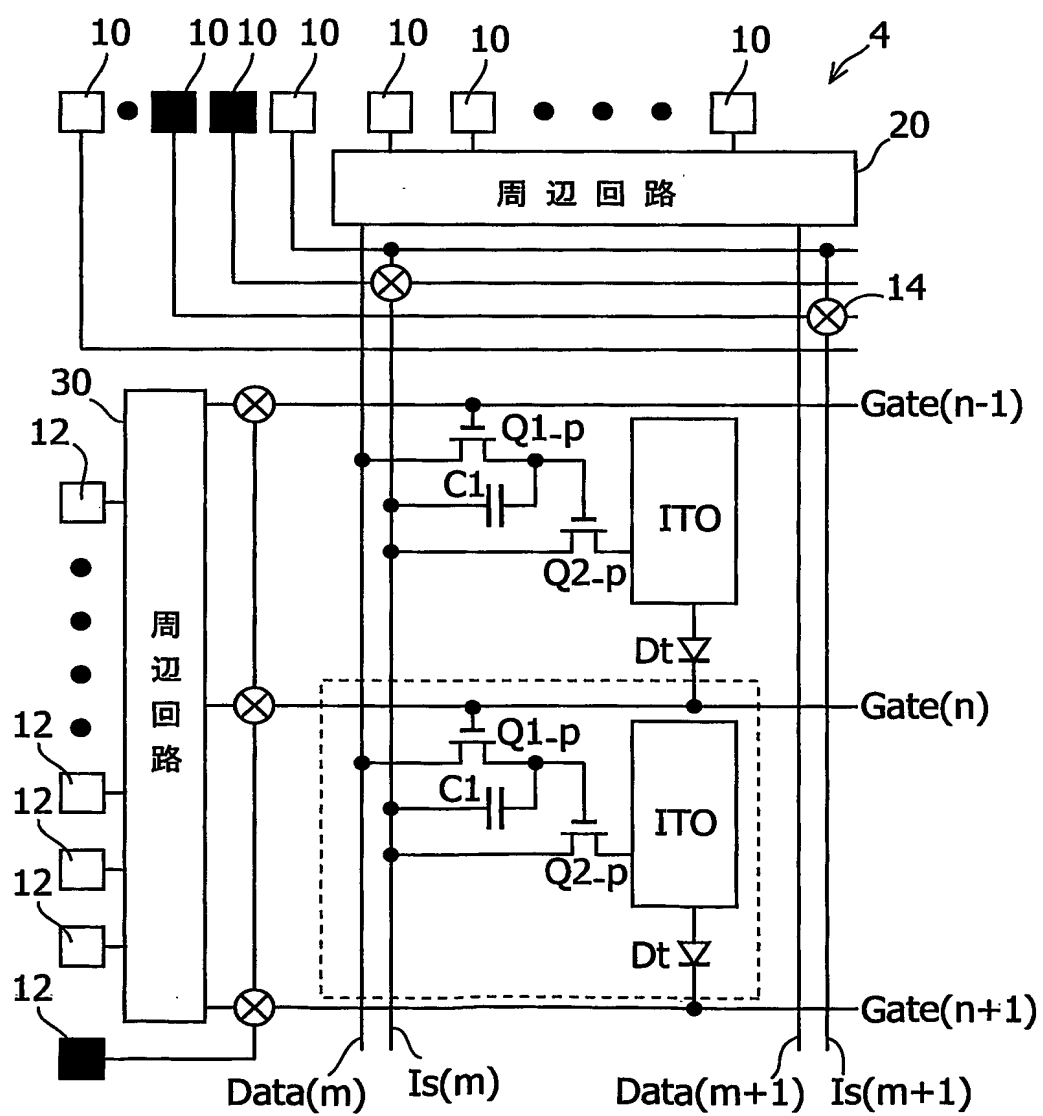
8/21

FIG.8



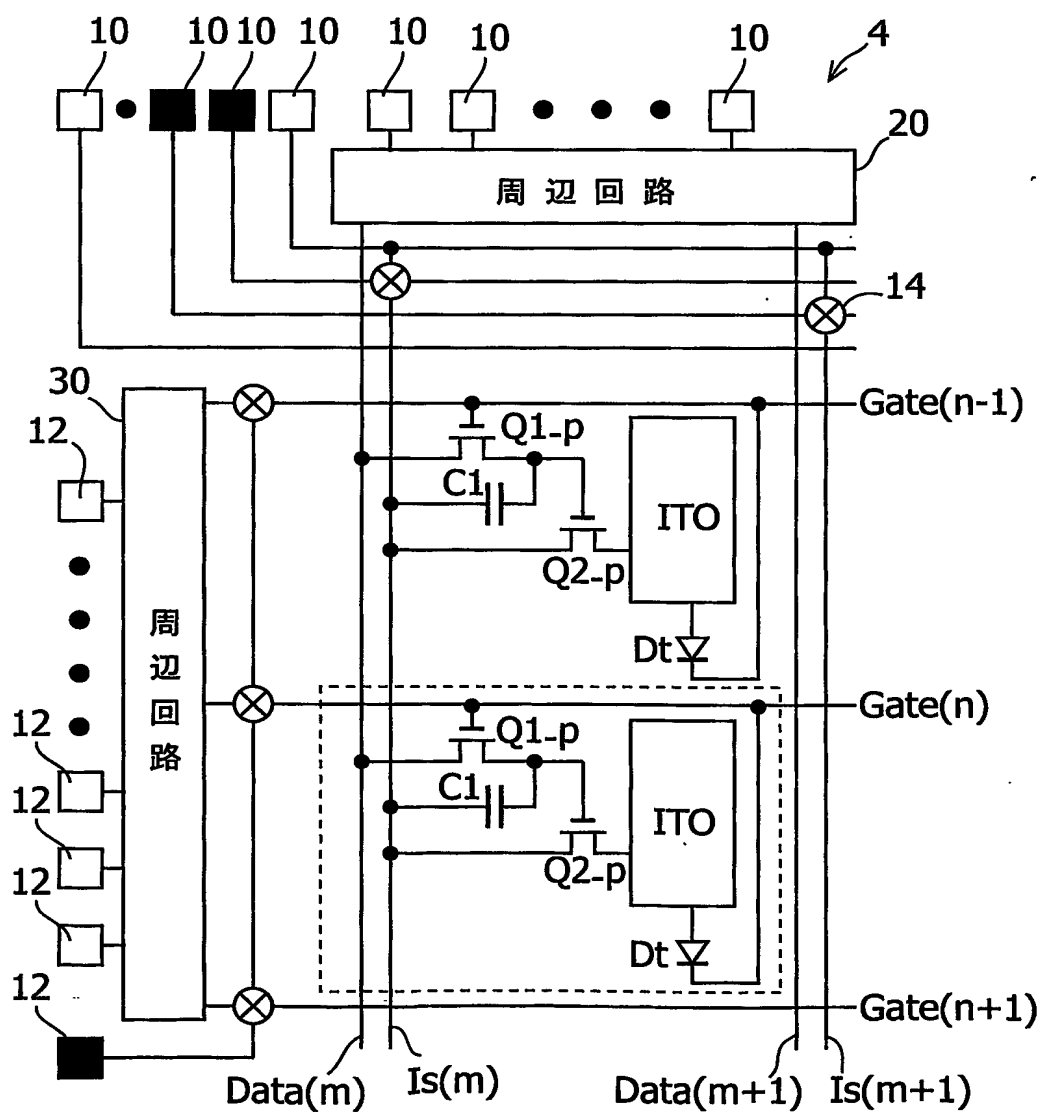
9/21

FIG.9



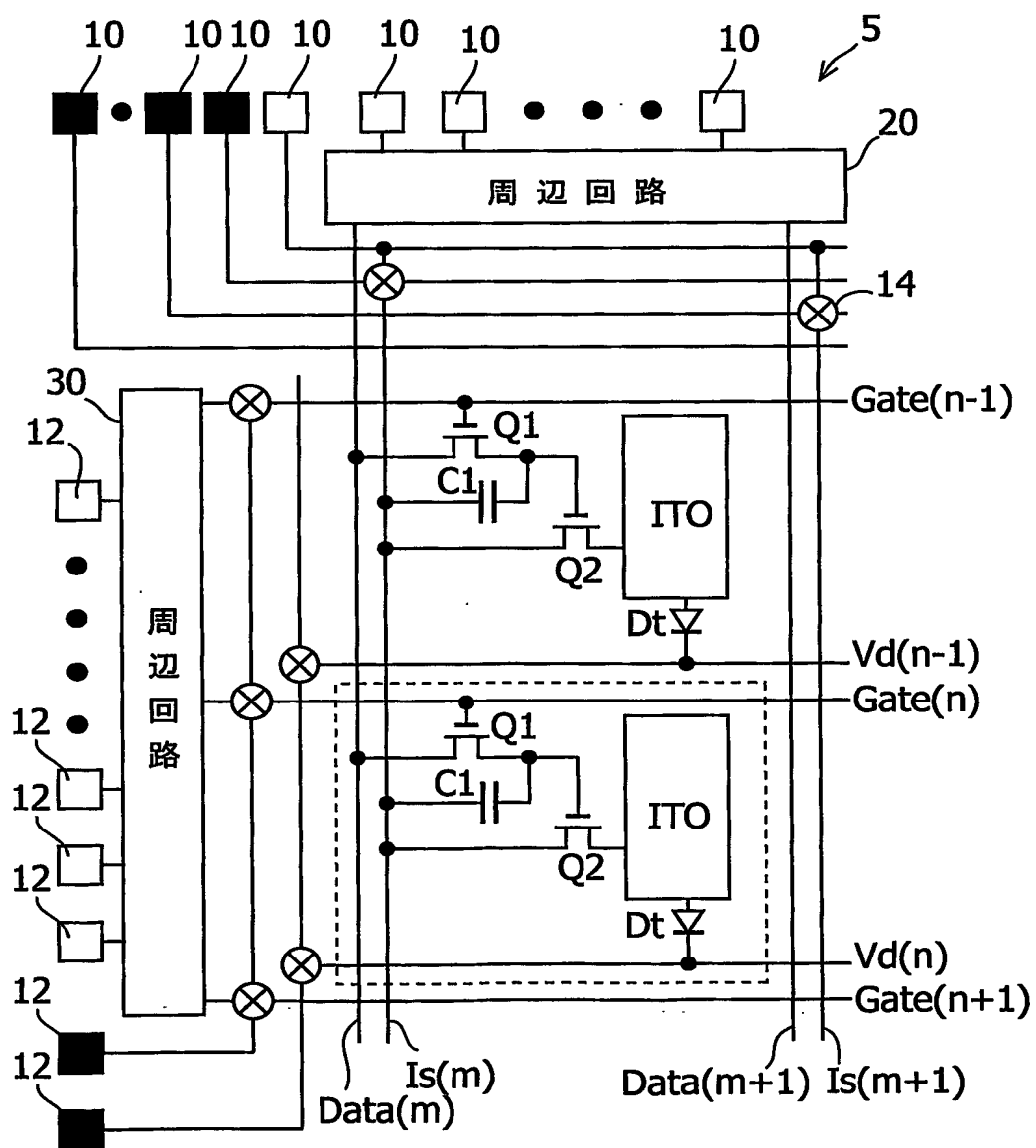
10/21

FIG.10



11/21

FIG.11



12/21

FIG.12

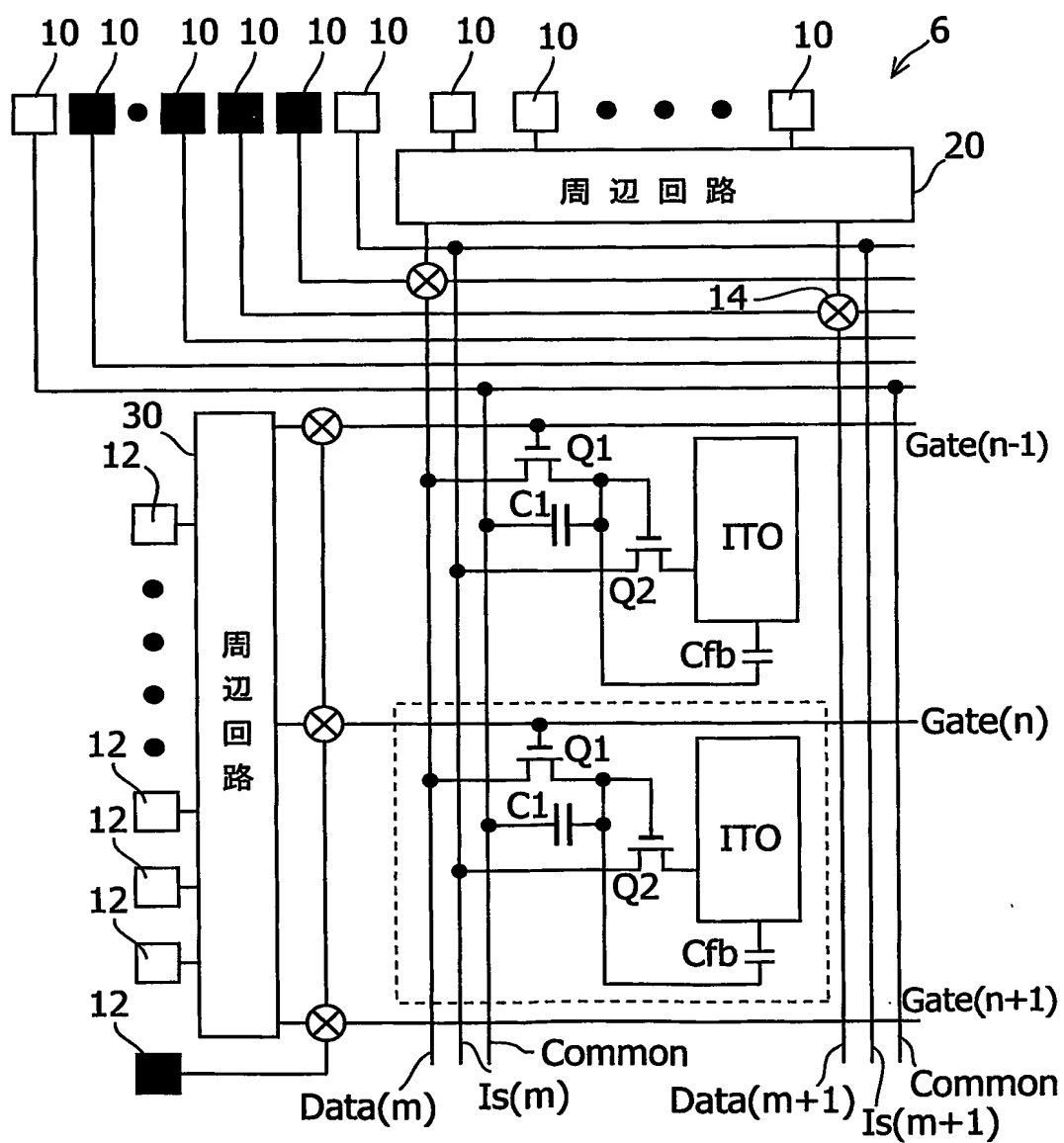


FIG. 14

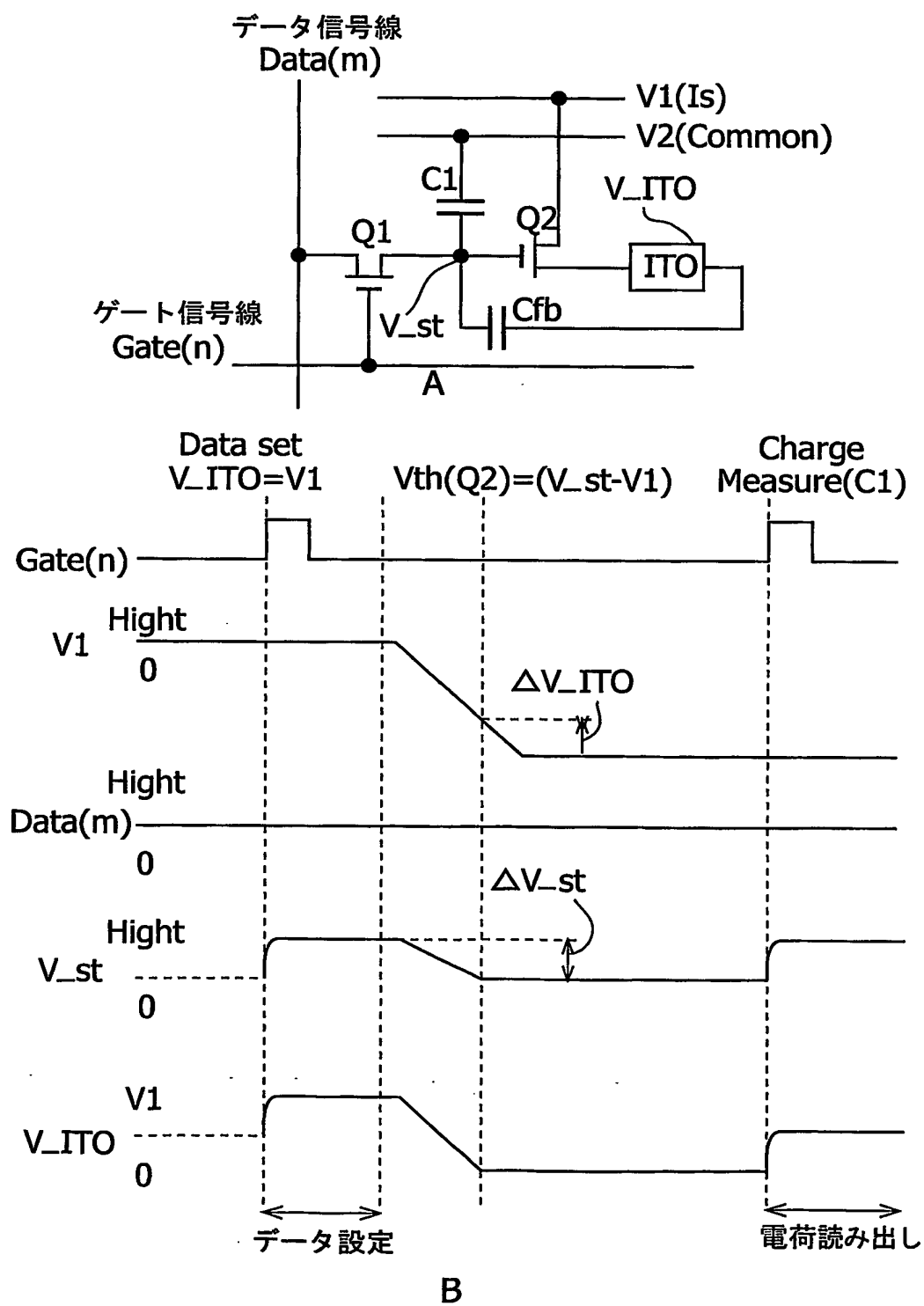


FIG.15

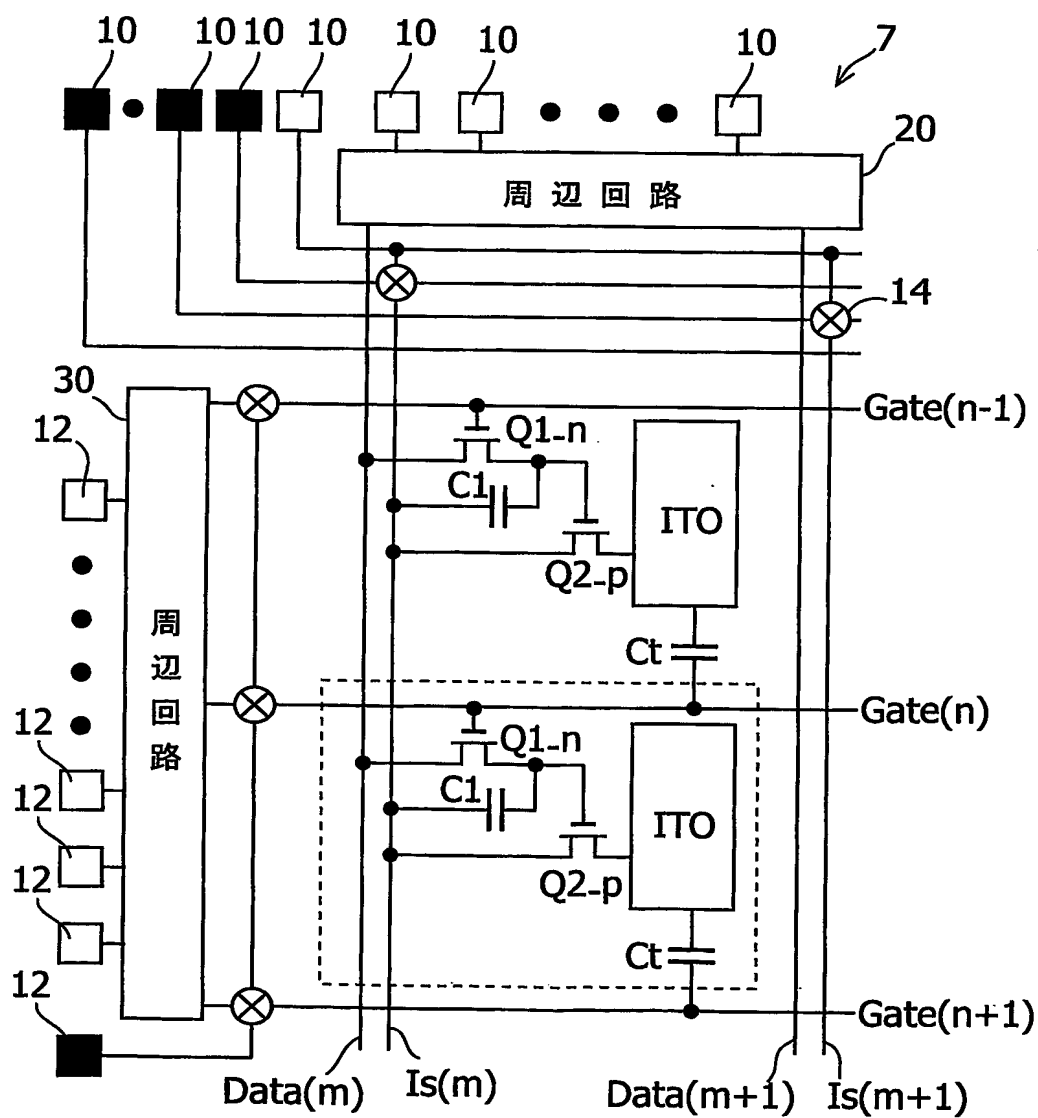


FIG.16

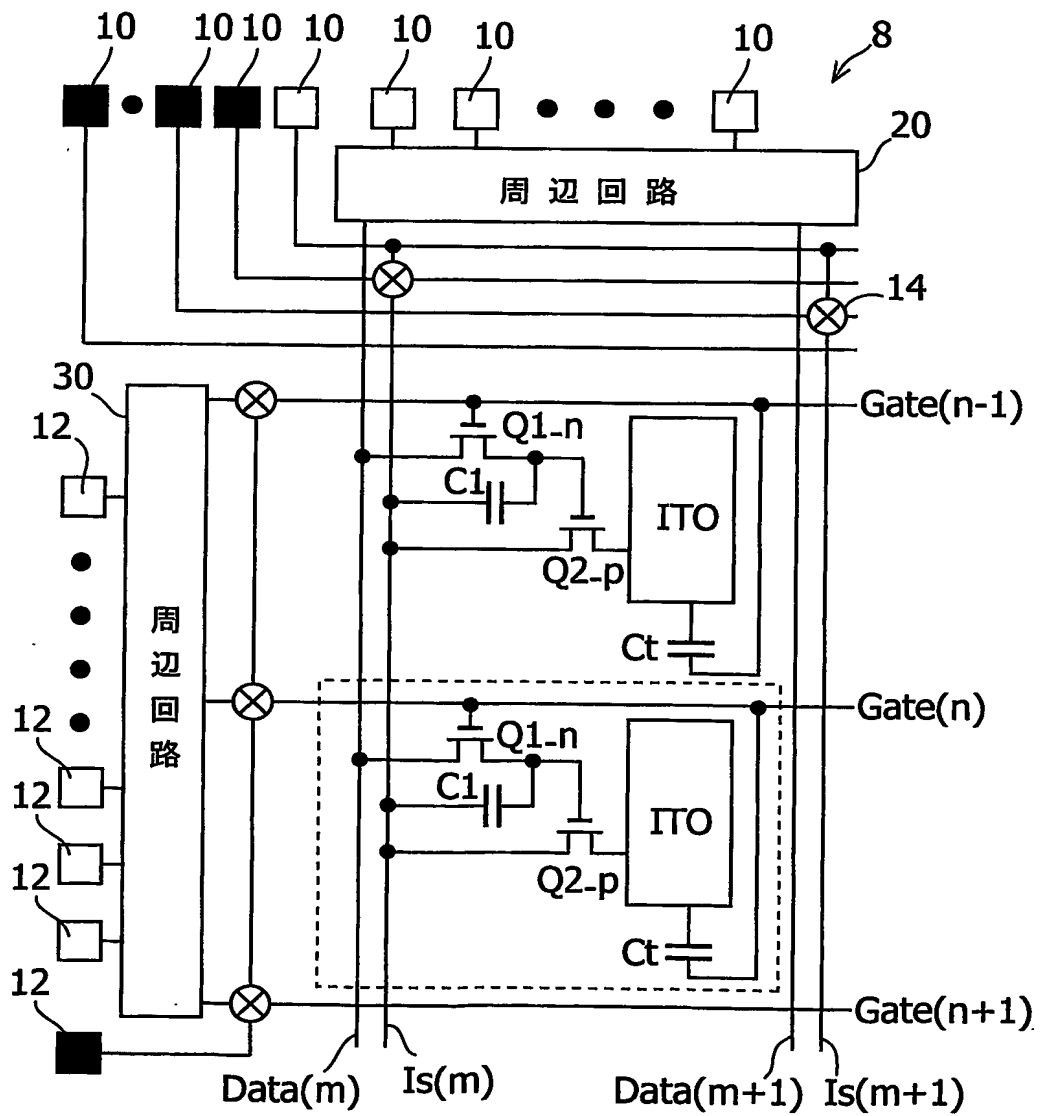
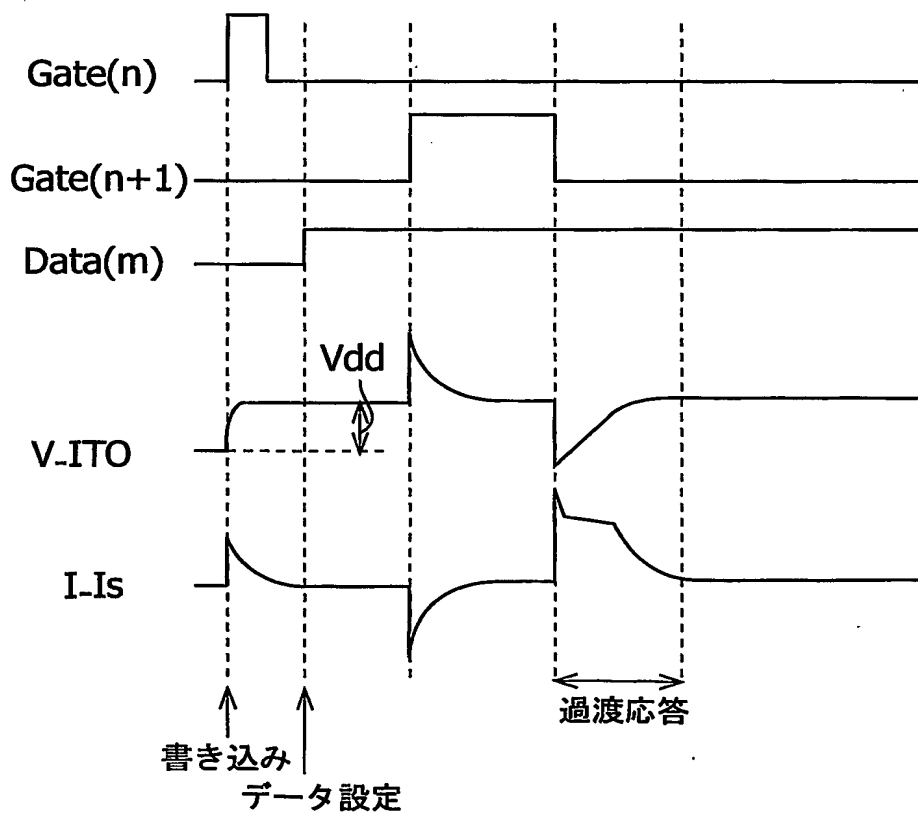
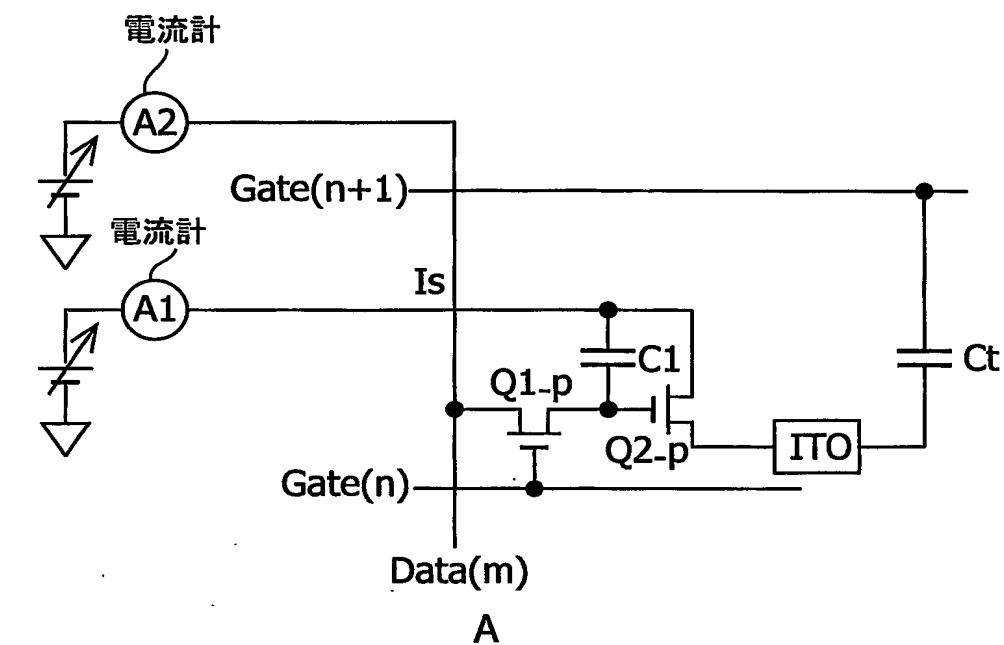


FIG.17



B

FIG.18

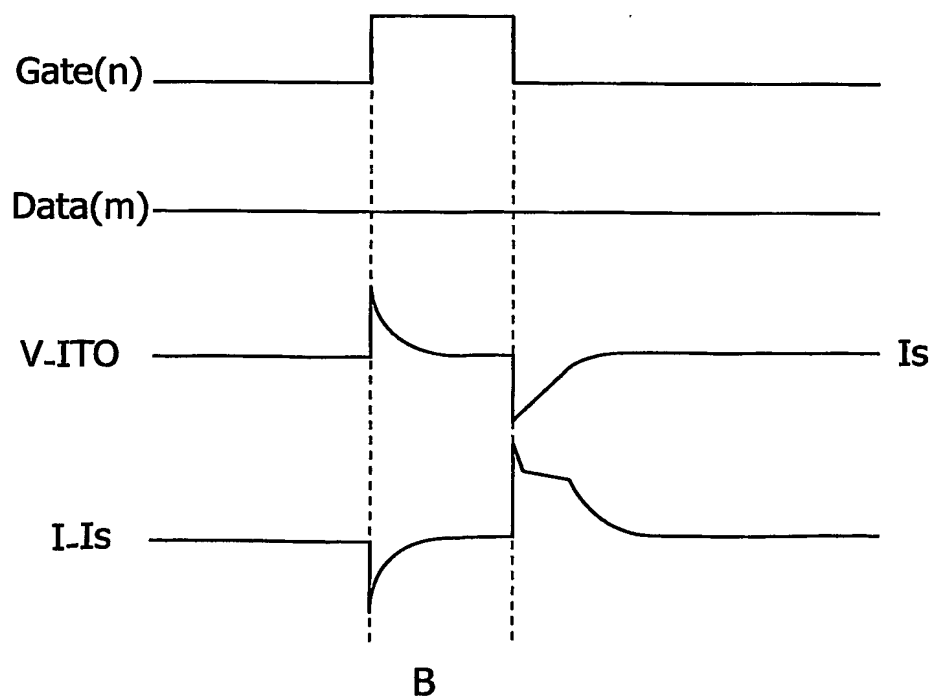
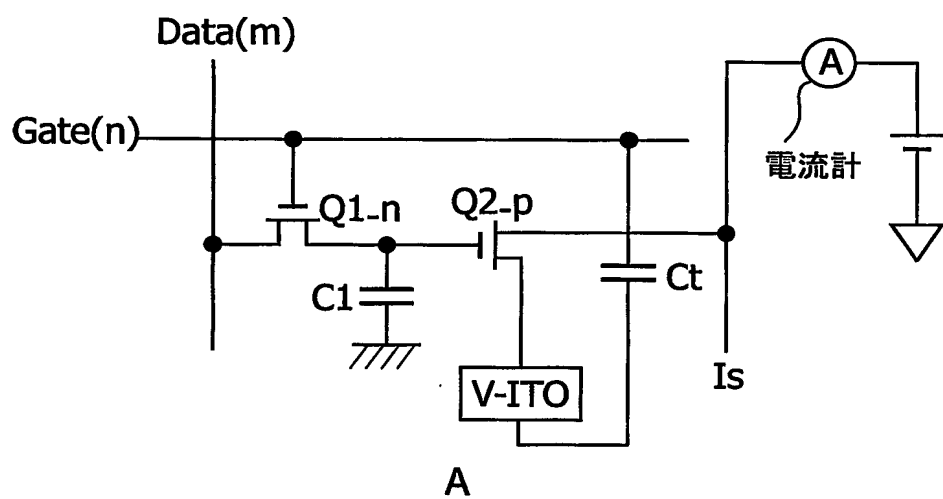


FIG.19

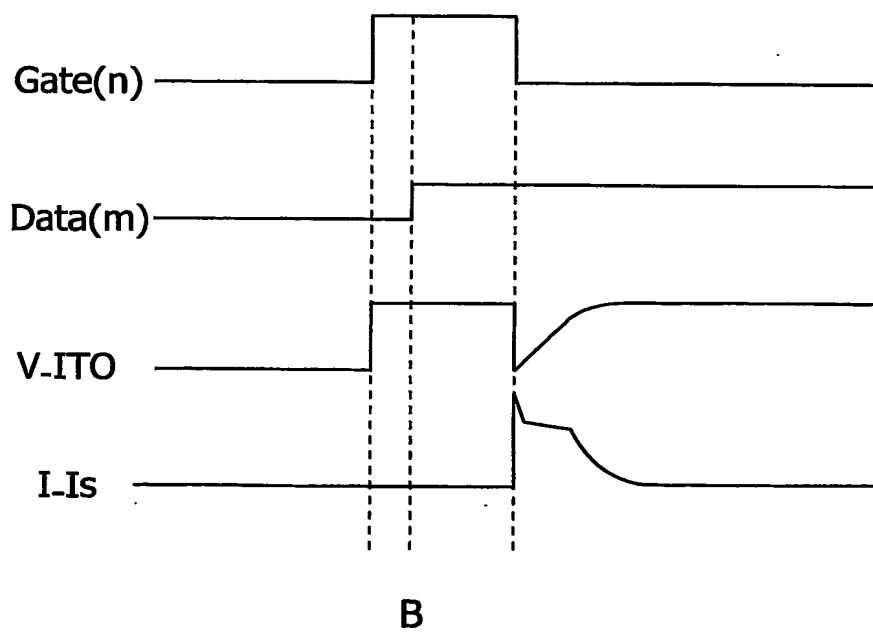
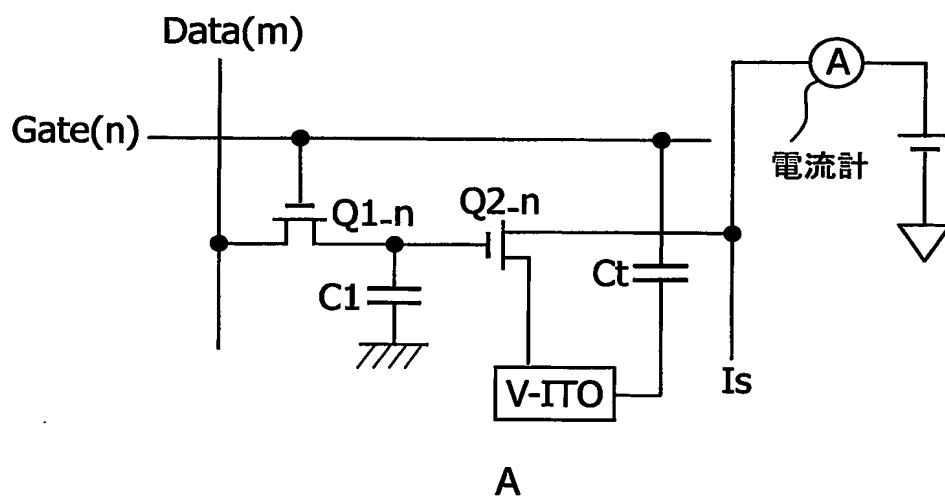


FIG.20

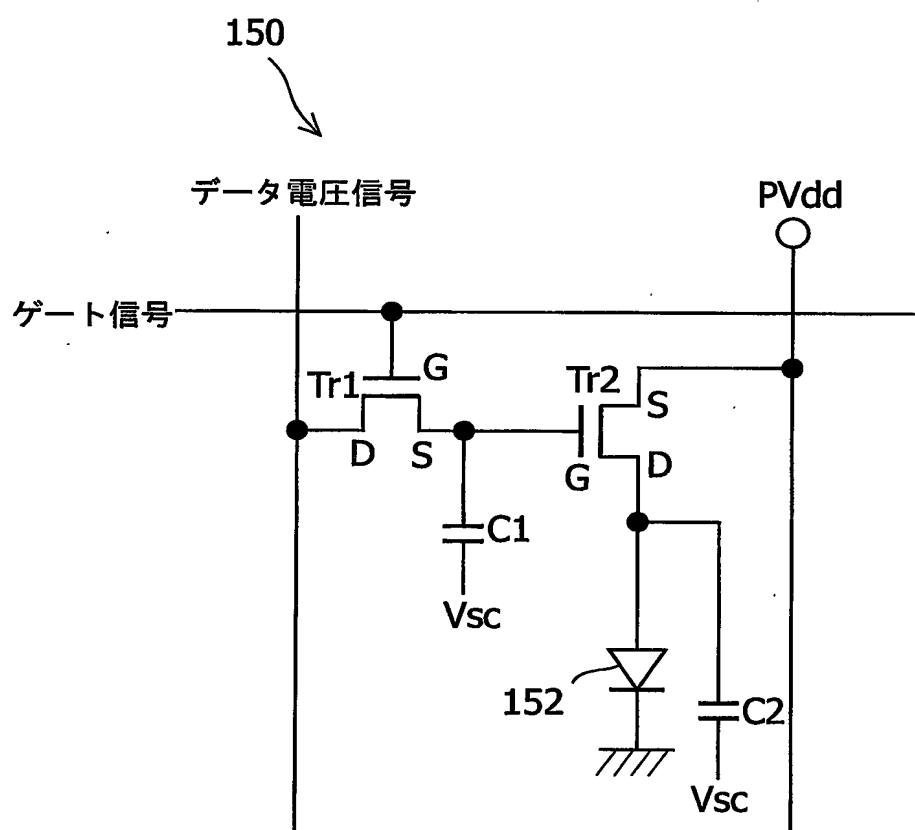
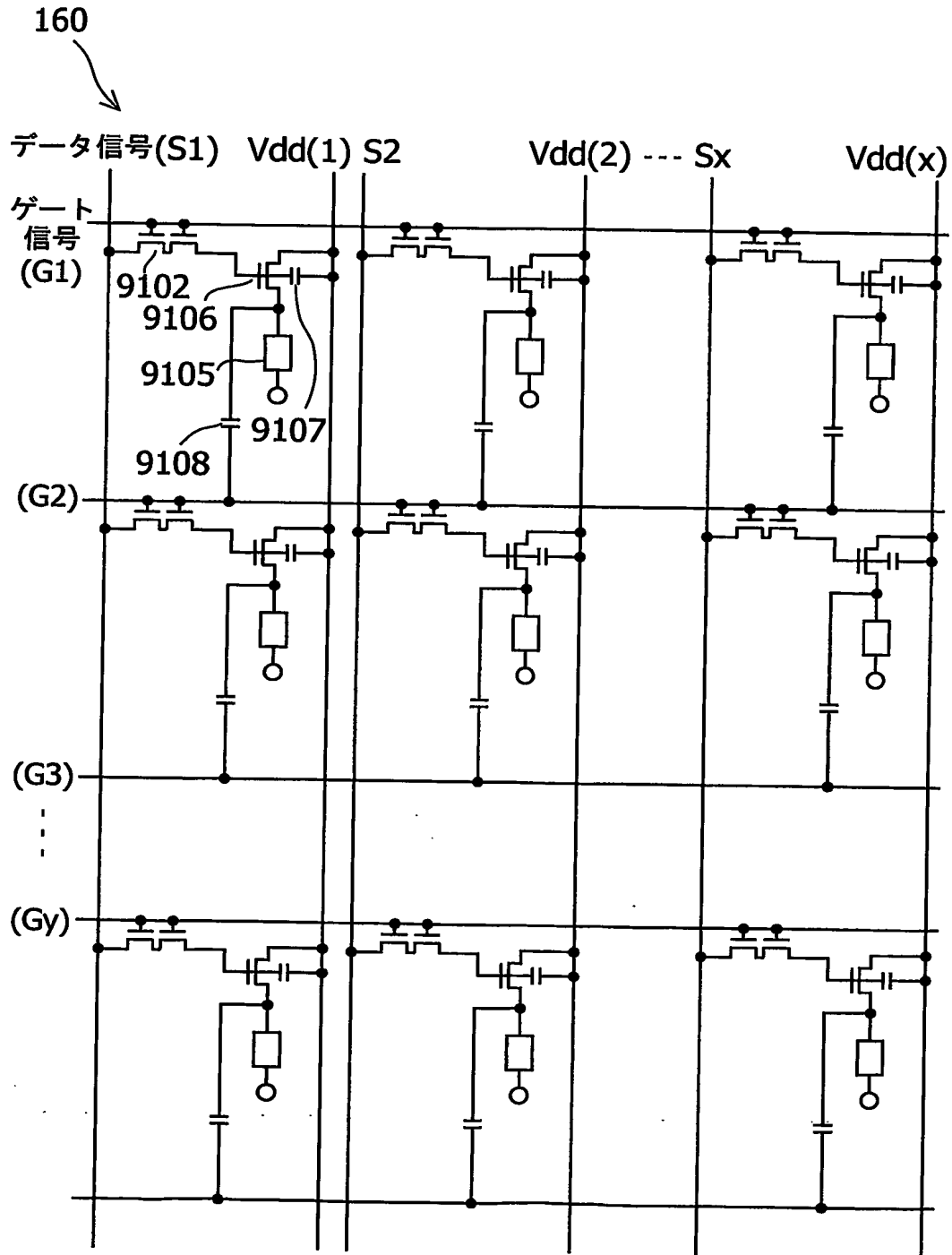


FIG.21



INTERNATIONAL SEARCH REPORT

International application No.
JP03/14435

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20, G09F9/00, H05B33/12, 33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, 3/20, G09F9/00, H05B33/12, 33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-32035 A (Semiconductor Energy Laboratory Co., Ltd.), 31 January, 2002 (31.01.02), & US 2001/0040565 A1 Par. Nos. [0038] to [0093]; Figs. 1 to 5	15-17, 19, 21-26 1, 5, 8-9
Y	Par. Nos. [0037] to [0093]; Figs. 1 to 5	1, 5, 8-9
Y	JP 1-284893 A (Sharp Corp.), 16 November, 1989 (16.11.89), Page 2, lower left column, line 14 to page 3, upper left column, line 11; Figs. 1 to 2 (Family: none)	1, 5, 8-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
09 February, 2004 (09.02.04)

Date of mailing of the international search report
24 February, 2004 (24.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14435

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 57-99688 A (Sharp Corp.), 21 June, 1982 (21.06.82), Page 2, upper right column, line 8 to page 3, left column, line 20; Figs. 2 to 3 & US 4471347 A	1, 5, 8-9
A	JP 63-284598 A (Koito Industries, Ltd.), 21 November, 1988 (21.11.88), Page 3, upper right column, line 5 to page 5, lower left column, line 11; Figs. 1 to 3 (Family: none)	1-32

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl⁷ G09G3/30, 3/20, G09F9/00; H05B33/12, 33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl⁷ G09G3/30, 3/20, G09F9/00, H05B33/12, 33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-32035 A (株式会社半導体エネルギー研究所) 2002. 01. 31 & US 2001/0040565 A1 【0038】～【0093】，図1-5	15-17, 19, 21-26
Y	【0038】～【0093】，図1-5	1, 5, 8-9
Y	JP 1-284893 A (シャープ株式会社) 1989. 11. 16, 第2頁左下欄第14行～第3頁左上欄第11行, 第1-2図 (ファミリーなし)	1, 5, 8-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09. 02. 2004

国際調査報告の発送日

24. 2. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 禎広

2G

9509

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 57-99688 A (シャープ株式会社) 1982. 06. 21, 第2頁右上欄第8行～第3頁左欄第20行, 第2-3図 & US 4471347 A	1, 5, 8-9
A	JP 63-284598 A (小糸工業株式会社) 1988. 11. 21, 第3頁右上欄第5行～第5頁左下欄第11行, 第1-3図 (ファミリーなし)	1-32